

FQ08M3232
接近感应单片机

数 据 手 册

产品简介

数据手册

2022 年 7 月 10 日

目录

1	产品特性	7
2	管脚配置	8
2.1	订购信息	8
2.2	管脚顶视图	8
2.3	管脚复用表	10
2.4	管脚复用功能说明	11
3	功能框图	12
4	电气特性	13
4.1	极限参数	13
4.2	工作条件	13
4.3	DC 特性	14
4.4	时钟特性	15
4.5	ADC 特性表	15
4.6	模拟比较器特性表	15
4.7	低电压复位 BOR 电压特性	16
4.8	存储器特性	16
5	内核	17
5.1	描述	17
5.2	内核寄存器	17
6	存储	19
6.1	程序寻址空间映射	19
6.2	FLASH+EEPROM 存储器	20
6.3	用户配置信息	21
6.4	IAP 操作	24
6.5	数据寻址空间	27
6.6	SFR 映射	28
7	复位	32
7.1	描述	32
7.2	复位寄存器	33
8	时钟	34
8.1	描述	34
8.2	最大工作频率说明	35
8.3	时钟寄存器	35
9	低功耗	39

9.1	描述	39
9.2	低功耗寄存器	39
10	看门狗定时器 WDT	40
10.1	描述	40
10.2	WDT 寄存器	40
11	中断	42
11.1	中断向量	42
11.2	中断优先级	43
11.3	中断寄存器	43
11.4	外部端口中断 IOINT	44
11.5	定时器/计数器 TMR 中断	46
11.6	边沿捕捉器 CAP 中断	48
11.7	脉宽调制器 PWM 中断	49
11.8	异步收发器 UART 中断	51
11.9	模拟模块中断	52
12	I/O 端口	53
12.1	描述	53
5.1	I/O 寄存器 (寄存器中出现的 N 表示 0~2)	53
12.2	I/O 功能复用功能寄存器	58
13	恒流灌电流 ISINK	61
13.1	描述	61
13.1	ISINK 寄存器	61
14	8 位定时器 TMR0	62
14.1	描述	62
14.2	TMR0 寄存器	62
15	8 位定时器 TMR1 (支持级联 TMR0)	64
15.1	描述	64
15.2	TMR1 寄存器	64
16	16 位定时/计数器 TMR3/4	66
16.1	描述	66
16.2	TMR3/4 操作流程(TMR3 为例)	67
16.3	TMR3/4 寄存器	68
17	边沿捕捉器 CAP2 (不能与 PWM2 同时使用)	70
17.1	描述	70
17.2	CAP 操作流程 (以 CAP2 为例)	71

17.3 CAP 寄存器	72
18 脉宽调制器 PWM	76
18.1 描述	76
18.2 PWM 操作流程 (以 PWM0 为例)	78
18.3 PWM 寄存器	79
19 UART 异步收发器	83
19.1 描述	83
19.2 UART 操作流程图	84
19.3 UART 寄存器	86
20 模数转换器 ADC	90
20.1 描述	90
20.2 ADC 操作流程	90
20.3 ADC 寄存器	91
21 数模转换器 DAC	95
21.1 描述	95
21.2 DAC 寄存器	95
22 接近感应模块	96
22.1 描述	96
22.2 接近感应寄存器	97
23 内部参考电压 VREF	101
23.1 描述	101
23.2 VREF 寄存器	101
24 低电压检测 LVD	102
24.1 描述	102
24.2 LVD 寄存器	102
25 指令集	105
25.1 算术运算指令	105
25.2 逻辑操作指令	106
25.3 数据传送指令	107
25.4 位操作指令	108
25.5 程序转移指令	108
26 封装信息	109
27 版本修订记录	111

图表目录

图表 1 SOP16 封装顶视图	8
图表 2 QFN16 封装顶视图	9
图表 3 端口逻辑复用表	10
图表 4 端口描述表	11
图表 5 功能框图	12
图表 6 程序存储空间映射图	19
图表 7 INFO FLASH 映射图	21
图表 8 IAP 操作流程图中	24
图表 9 数据寻址空间映射图	27
图表 10 系统时钟源功能框图	34
图表 11 中断向量图	42
图表 12 中断向量表	42
图表 13 I/O 功能框图	53
图表 14 ISINK 功能框图	61
图表 15 TMR0 功能框图	62
图表 16 TMR1 功能框图	64
图表 17 TMR3 功能框图	66
图表 18 TMR3 操作流程图中	67
图表 19 捕捉清零模式示例波形图	70
图表 20 捕捉累加模式示例波形图	70
图表 21 CAP 操作流程图中	71
图表 22 PWM 边沿对齐工作示例波形图	76
图表 23 PWM 中心对齐工作示例波形图	77

图表 24 PWM 边沿对齐死区工作示例波形图	77
图表 25 PWM 操作流程图中	78
图表 26 UART 通讯中断机制 1	83
图表 27 UART 通讯中断机制 2	83
图表 28 UART 发送操作流程图中	84
图表 29 UART 接收操作流程图中	85
图表 30 ADC 转换时序图中	90
图表 31 ADC 操作流程图中	90
图表 32 接近感应功能框图中	96

1 产品特性

➤ 内核

- 1T51 内核, 兼容标准 8051 指令集
- 内核最高工作频率 12MHz

➤ 存储

- 8K 字节 FLASH 程序存储器
- 128 字节 EEPROM 数据存储器
- IRAM 256 字节, XRAM 256 字节

➤ 复位与启动

- 内置上电复位 POR
- 内置掉电复位 BOR, 支持 8 档掉电复位 1.6V~4.4V, 步进 0.4V

➤ 时钟

- 内部 16M/24MHz 高精度振荡器 HRC (出厂校准精度 $<\pm 1\%$, 全温工作精度 $<\pm 2\%$)
- 内部 16KHz 低功耗振荡器 LRC, 精度 $<\pm 10\%$

➤ 调试和编程

- 单线调试, 单线编程

➤ 工作条件

- VDD=3.5V~5.5V@12M
- VDD=2.7V~5.5V@8M
- VDD=2.0V~5.5V@2M
- 工作温度范围 -40~85°C

➤ 功耗

- 待机睡眠功耗典型功耗 3uA@3.3V
- 8MHz@3.3V 运行功耗典型 5mA

➤ 端口

- 最多支持 10 个 I/O 端口和 1 路输入开漏输出脚, 所有端口支持独立弱上拉和弱下拉控制, 可同时开启上拉和下拉
- P10-P13 支持最大灌电流 80mA, P01-P06 支持拉电流 4 档可配置, P00 为开漏管脚。
- 支持 8 个外部中断唤醒, 可复用到所以端口

➤ 外设

- 2 路 8 位定时器 TMR0/TMR1, 可级联
 - 2 路 16 位定时/计数器 TMR3/TMR4
 - 3 组独立 12+3 位 PWM, 每组支持 2 路互补或同相输出(TMR3 和 PWM 可运行在 24M 下)其中 PWM2 可配置成 CAP 捕捉模式
 - 11 通道 12 位 SAR ADC, 其中 1 路通道为内部 VDD/4 检测
 - 内置多档参考电压, 校准精度 $<\pm 1.5\%$
 - LVD 低电压检测, 支持对 VDD 8 档低电压检测, 步进电压为 0.4V; 支持外部管脚输入 LVD 检测, 比较电压 0.5V
 - 1 路 UART
 - 恒流灌电流驱动电路 ISINK (最大驱动电流 320mA)
 - 内置两个运算放大器
 - 支持一路模拟比较器
 - 内置一个 8bit 精度 DAC
- ## ➤ 封装类型
- SOP16/QFN16

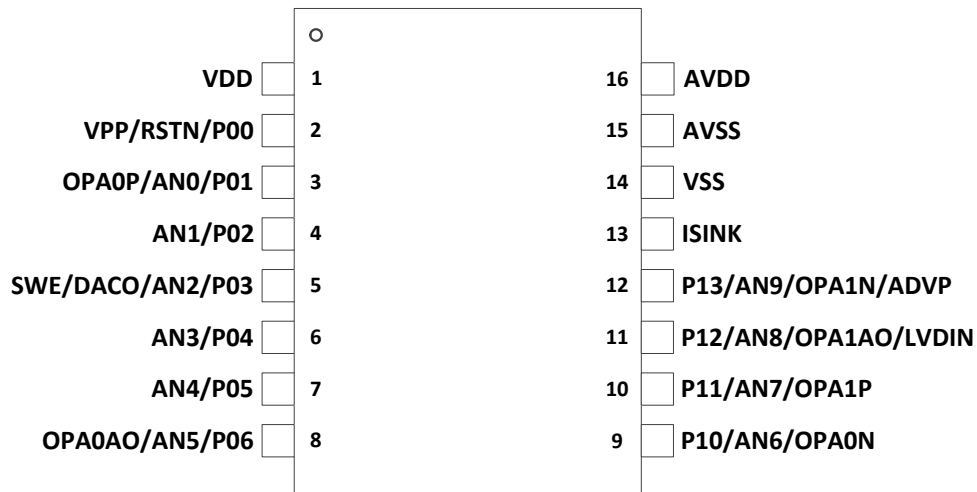
2 管脚配置

2.1 订购信息

产品名称	封装形式	备注
FQ08M3232-SOP16-T	SOP16	盘装
FQ08M3232-QFN16-R	QFN16	盘装

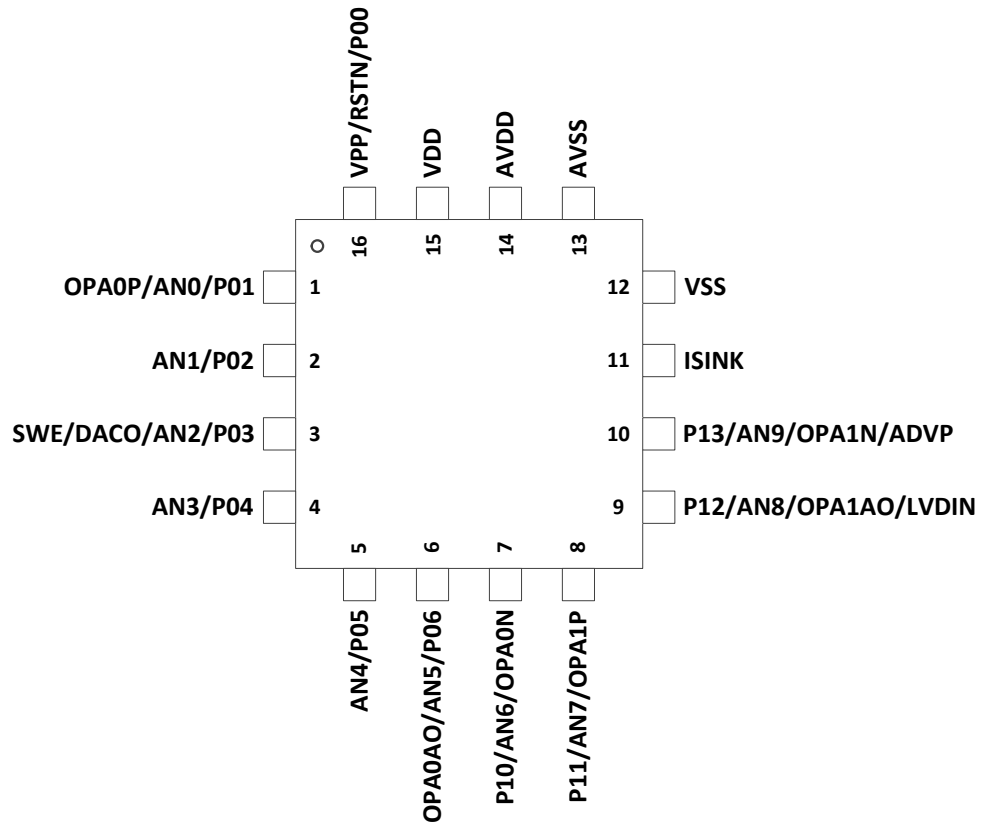
2.2 管脚顶视图

SOP16



图表 1 FQ08M3232-SOP16-T 脚位

QFN16



图表 2 FQ08M3232-QFN16-R 脚位

注：实现逻辑复用功能管脚映射，参见章节 2.3 管脚复用表

2.3 管脚复用表

Pin	FUN0	FUN1	FUN2	FUN3	AD	IOINT0	其他	驱动配置
P00	IO	PWM00	TX0	T3G/T4O	—	IOINT00	VPP/ RSTN	OPENDRAIN
P01	IO	PWM01	RX0	T4G/T3O	AN0	IOINT01	OPA0P	4 档拉电流
P02	IO	PWM10	TX0	T3IN/T1O	AN1	IOINT02	—	4 档拉电流
P03	IO	PWM11	RX0	T4IN/T0O	AN2	IOINT03	SWE DACO	4 档拉电流
P04	IO	PWM20	TX0	CAP2	AN3	IOINT04	—	4 档拉电流
P05	IO	PWM21	RX0	T3G/T0O	AN4	IOINT05	—	4 档拉电流
P06	IO	PWM00	TX0	T4G/ACPO	AN5	IOINT06	OPA0AO	4 档拉电流
P10	IO	PWM10	TX0	CAP2	AN6	IOINT00	OPA0N	2 档灌电流
P11	IO	PWM11	RX0	T4G/T1O	AN7	IOINT01	OPA1P	2 档灌电流
P12	IO	PWM20	TX0	T4IN/T3O	AN8	IOINT02	OPA1AO/ LVDIN	2 档灌电流
P13	IO	PWM21	RX0	T3IN/T4O	AN9/ ADVP	IOINT03	OPA1N	2 档灌电流
ISINK								320mA 灌电流

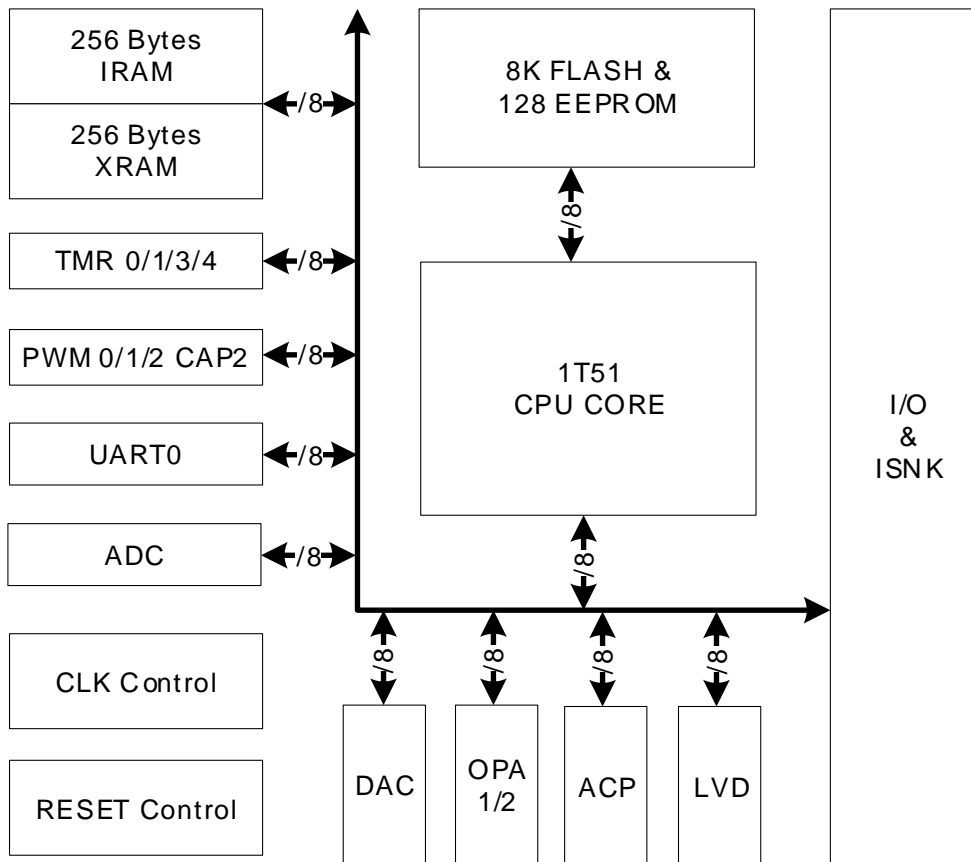
图表 3 端口逻辑复用表

2.4 管脚复用功能说明

符号	类型	描述	备注
Pn0~Pn7	IO	8 位双向 IO 端口	支持上下拉电阻, 支持中断唤醒
PWMn0/1	O	PWM 输出端口	支持同相或互补输出
TnO	O	TIMER 计数溢出翻转	每次计数溢出翻转
TnG	I	TIMER 计数门控管脚	
TnIN	I	TIMER 外部时钟输入	
CAP2	I	捕捉模式下为捕捉输入	
TX0	O	UART 发送端口	
RX0	I	UART 接收端口	
ACPPx	I	模拟比较器正端输入	
ACPN	I	模拟比较器负端输入	
ACPO	O	模拟比较器输出	
CKO	O	系统时钟输出	
IOINT0n	I	外部中断输入端口	支持睡眠唤醒
SWE	IO	单线仿真烧录端口	
ANn	A	ADC 模拟输入通道	
ADVP	A	ADC 外部正端参考电压输入	
LVDIN	A	LVD 模拟检测端口	比较电压 0.5V
OPDA1O	A	OPAMP1 输出	
OPDA1P	A	OPAMP1 正相输入	
OPDA0P	A	OPAMP0 正相输入	
OPDA1N	A	OPAMP1 反相输入	
OPDA0N	A	OPAMP0 反相输入	
OPDA0O	A	OPAMP0 输出	
DACOUT	A	D/A 转换器输出	
ISINK	O	灌电流源	
AVDD/VDD		模拟电源/电源	
AVSS/VSS		模拟地/地	

图表 4 端口描述表

3 功能框图



图表 5 功能框图

4 电气特性

4.1 极限参数

存储温度 T_{STG}	-55°C ~ 125°C
供电极限电压 $V_{DD}-V_{SS}$	-0.3V ~ 6.5V
输入极限电压 V_{IN}	$V_{SS}-0.3V \sim V_{DD}+0.3V$
VDD 最大承载电流 I_{VDD}	100mA
VSS 最大承载电流 I_{VSS}	100mA

4.2 工作条件

符号	描述	最小值	最大值	单位
F_{SYS_CLK}	3.5~5.5V 系统工作频率	—	12M	Hz
	2.7~5.5V 系统工作频率	—	8M	Hz
	2.0~5.5V 系统工作频率	—	2M	Hz
VDD	工作电压	2.0	5.5	V
T_A	工作温度	-40	85	°C
t_{VDD}	VDD 上电斜率			us/V

4.3 DC 特性

* 以下参数均为设计值

符号	描述	最小值	典型值	最大值	单位	条件
VDD	供电电压	2.0	5V/3.3V	5.5	V	—
IDD	工作电流外设开启, ADC 正常工作	—	8/5	—	mA	F _{SYS_CLK} =8MHz @VDD=5V
	工作电流外设开启, ADC 关闭	—	6.5/4	—	mA	
	工作电流外设开启, ADC 正常工作	—	6.6/4.2	—	mA	F _{SYS_CLK} =4MHz @VDD=5V
	工作电流外设开启, ADC 关闭	—	5/3	—	mA	
	工作电流外设开启, ADC 正常工作	—	6/4.3	—	mA	F _{SYS_CLK} =2MHz @VDD=5V
	工作电流外设开启, ADC 关闭	—	4.5/2.6	—	mA	
IDD _S	待机电流	—	4	7	μA	VDD=5V 进入 PD 模式, 功能关闭, IO 不浮空。BOR 和 WDT 均使能
V _{IL}	输入低电平 Pn_SMTS=0	0	—	0.2*VDD	V	I/O 均为 SCHMITT 输入 特性两档可调
	输入低电平 Pn_SMTS=1	0	—	0.3*VDD	V	
V _{IH}	输入高电平 Pn_SMTS=0	0.3*VDD	—	VDD	V	I/O 均为 SCHMITT 输入 特性两档可调
	输入高电平 Pn_SMTS=1	0.7*VDD	—	VDD	V	
I _{LK}	输入漏电流	—	—	±1	μA	内部上/下拉电阻关闭
I _{OL}	常用档 IO 灌电流	—	28mA	—	V	VDD=5V,25°C,VOL=0.7V
	增强档 IO 灌电流	—	80mA	—	V	VDD=5V,25°C,VOL=0.7V
I _{OH}	常用档 IO 灌电流	—	15mA	—	V	VDD=5V,25°C,VOH=4.3V
	一档 IO 灌电流	—	1.6mA	—	V	VDD=5V,25°C,VOH=4.3V
	二档 IO 灌电流	—	3.2mA	—	V	VDD=5V,25°C,VOH=4.3V
	三档 IO 灌电流	—	6.1mA	—	V	VDD=5V,25°C,VOH=4.3V
V _{OL}	常用档输出低电平	VSS+0.7	—	—	V	VDD=5V,25°C,I _{OL} =28mA
	增强档输出低电平	VSS+0.7	—	—	V	VDD=5V,25°C,I _{OL} =80mA
V _{OH}	常用档输出高电平	—	—	VDD-0.7	V	VDD=5V,25°C,I _{OH} =15mA
	一档输出高电平	—	—	VDD-0.7	V	VDD=5V,25°C,I _{OH} =1.6mA
	二档输出高电平	—	—	VDD-0.7	V	VDD=5V,25°C,I _{OH} =3.2mA
	三档输出高电平	—	—	VDD-0.7	V	VDD=5V,25°C,I _{OH} =6.1mA
R _{PU}	内部上拉电阻	—	10K	—	Ω	偏差±5%
R _{PD}	内部下拉电阻	—	10K	—	Ω	偏差±5%

典型值测试基本条件: T_A=25°C, VDD=5V 电流测试时 I/O 输出无负载, I/O 输入不浮空

4.4 时钟特性

符号	描述	最小值	典型值	最大值	单位	条件
HRC	高频时钟	15.68	16	16.32	MHz	VDD=2.0~5.5V,-40~85°C
LRC	低频时钟	11.2	16	20.8	KHz	VDD=2.0~5.5V,-40~85°C

4.5 ADC 特性表

符号	描述	最小值	典型值	最大值	单位	条件
VDD	供电电压	2.0	—	5.5	V	电压低于 2.5V 精度会有 2LSB 下降
N _R	分辨率	—	12	—	Bit	
V _{IN}	AD 输入电压	GND	—	V _{REF}	KHz	输入范围为 GND 到正端参考
C _{IN}	输入电容	—	10	—	PF	
R _{IN}	输入电阻	2	—	—	MΩ	直流条件下 ADC 自身的输入电阻
Z _{IN}	模拟电压源 推荐阻抗	—	—	100	kΩ	
DNL	差分线性度	—	±2	—	LSB	VDD=3.0~5.5V,-40~85°C, VREF=VDD,ADC_CLK=4M,SMP_T=3
		—	±4	—	LSB	VDD=3.0~5.5V,-40~85°C, VREF=VDD,ADC_CLK=8M,SMP_T=3
		—	±4	—	LSB	VDD=3.0~5.5V,-40~85°C, VREF=VREF2.5V,ADC_CLK=4M,SMP_T=3
INL	积分线性度	—	±3	—	LSB	VDD=3.0~5.5V,-40~85°C, VREF=VDD,ADC_CLK=4M,SMP_T=3
		—	±4	—	LSB	VDD=3.0~5.5V,-40~85°C, VREF=VDD,ADC_CLK=8M,SMP_T=3
		—	±4	—	LSB	VDD=3.0~5.5V,-40~85°C, VREF=VREF2.5V,ADC_CLK=4M,SMP_T=3
T _{con}	总转换时间	17	—	—	T _{ADC_CLK}	
VREF	ADC 内部参考 精度	—	2.048	—	V	多电压点参考电压 (本表仅列出一电压点), 偏差±1.5%

4.6 模拟比较器特性表

符号	描述	最小值	典型值	最大值	单位	条件
VDD	供电电压	2.5	—	5.5	V	
V _{OFFSET}	输入失调电压	—	±5	—	mV	VDD=5V, 25°C
V _{COM}	输入共模电压	GND+0.2V	—	VDD-1V	V	
T _R	响应时间	—	100	—	nS	

4.7 低电压复位 BOR 电压特性

参数	最小值	典型值	最大值	单位	条件
BOR 电压点 2.0V	1.8	2.0	2.2	V	-40~85°C
BOR 电压点 2.8V	2.2	2.4	2.6	V	
BOR 电压点 3.8V	3.6	3.8	4.0	V	
BOR 电压点 4.2V	4.0	4.2	4.4	V	

4.8 存储器特性

存储	操作	最小值	最大值	单位	条件
FLASH	ISP 编程次数	1000	—	—	全区编程
	编程时间	—	1.2	ms	4.5~5.5V
	编程电压	4.5	5.5	V	
EEPROM	编程次数	8000	—	—	0-70°C
		5000	—	—	-20-85°C
	数据保持时间	10	—	year	85°C
	编程时间	—	1.5	ms	3.0~5.5V
	编程电压	2.5	5.5	V	
SRAM	最低数据保持电压	0.6	—	V	—

5 内核

5.1 描述

芯片采用 1T51 架构 8 位 CPU 内核，兼容标准 8051 指令集。

5.2 内核寄存器

ACC 累加器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
A<7:0>							

Bit7-0 A<7:0>: 累加器

B B 寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
B<7:0>							

Bit7-0 B<7:0>: B 寄存器

SP 堆栈指针

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
SP<7:0>							

Bit7-0 SP<7:0>: 堆栈指针

DPL 数据指针低 8 位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
DPTR<7:0>							

Bit7-0 DPTR<7:0>: 数据指针低 8 位

DPH 数据指针高 8 位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
DPTR<15:8>							

Bit7-0 DPTR<15:8>: 数据指针高 8 位

PSW 状态寄存器

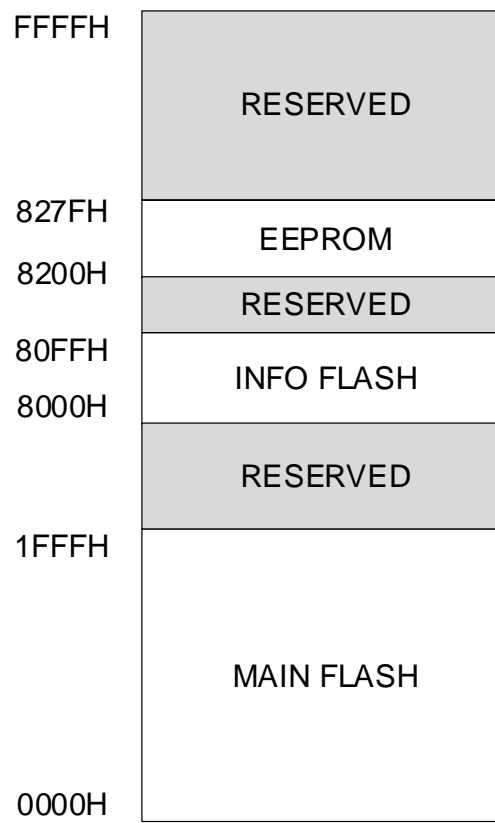
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-00		RW-0	—	RW-0
CY	AC	F0	RS<1:0>		OV	—	P

- Bit7 **CY**: 进位标志位
 1: 算数或逻辑运算无进/借位
 0: 算数或逻辑运算有进/借位
- Bit6 **AC**: 辅助进位标志位 (用于 BCD 操作)
 1: 算数或逻辑运算无辅助进/借位
 0: 算数或逻辑运算有辅助进/借位
- Bit5 **F0**: 用户自定义标志位 0
- Bit4-3 **RS<1:0>**: 工作寄存器 R0-R7 bank 选择位
 11: bank3 (18H~1FH)
 10: bank2 (10H~17H)
 01: bank1 (08H~0FH)
 00: bank0 (00H~07H)
- Bit2 **OV**: 溢出标志位
 1: 有符号数运算无溢出
 0: 有符号数运算有溢出
- Bit1 保留
- Bit0 **P**: 奇偶标志位
 1: 累加器中“1”的个数为奇数
 0: 累加器中“1”的个数为偶数

6 存储

芯片存储采用 Harvard 架构，即程序寻址空间与数据寻址空间独立。

6.1 程序寻址空间映射



图表 6 程序存储空间映射图

6.2 FLASH+EEPROM 存储器

数据区 EEPROM

芯片内置 128 字节 EEPROM 存储器用于存储数据。

EEPROM 支持以下操作：

- MOV C 指令读取
- 应用中自编程 IAP 操作
- 烧录器编程 ISP 操作

信息区 INFO FLASH

芯片内置 INFO FLASH 存储器用于存储用户 ID 和用户配置选项。

INFO FLASH 支持以下操作：

- MOV C 指令读取
- 烧录器编程 ISP 操作

程序区 MAIN FLASH

芯片内置 8K 字节 MAIN FLASH 存储器用于存储程序代码。

MAIN FLASH 支持以下操作：

- 程序取指
- MOV C 指令读取
- 烧录器编程 ISP 操作（支持硬件代码加密）

6.3 用户配置信息

802FH	序列号(ID)
802CH	0X802F~0X802C
	reserved
801DH	用户识别码(USER_ID)
801AH	0X801D~0X801A
8019H	CHECKSUM
8016H	0x8016~0X8019
8015H	0XED
	reserved
8011H	CFG_WORD4
	reserved
800DH	CFG_WORD3
	reserved
8009H	CFG_WORD2
	reserved
8005H	CFG_WORD1
	reserved
8001H	CFG_WORD0
	0XAC

图表 7 INFO FLASH 映射图

用户 ID 和用户配置选项存储于 INFO FLASH。INFO FLASH 通过用户在烧录器界面配置烧录。

序列号 ID 和用户识别码 USER_ID

序列号 ID 共 4 字节，存储于程序程序存储空间 802FH~802CH。用户识别码 USER_ID 存储于程序存储空间 801DH~801AH,具体的信息由用户在量产烧录器中自行定义。

用户配置选项 CFG_WDn

用户配置选项共 4 字节 CFG_WD0~CFG_WD3。

CFG_WORD0 配置字 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OSCS<1:0>		PWRC<1:0>		WDT_EN	BOR_EN	BORS<1:0>	

- Bit7-6 **OSCS<1:0>**: 系统时钟选择位
 10: 固定选择 HRC 11: 上电默认选择 HRC, 软件可配置
 00: 保留 01: 保留
- Bit5-4 **PWRC<1:0>**: 上电延时选择位
 10: 约 64ms 11: 约 128ms
 00: 无上电延时 01: 约 16ms
- Bit3 **WDT_EN**: WDT 使能位
 1: 使能
 0: 关闭
- Bit2 **BOR_EN**: BOR 使能位
 1: 使能
 0: 关闭
- Bit1-0 **BORS<1:0>**: BOR 复位电压选择位
 (注: 当寄存器位 **SOFT_BOR.SOFT_BOR_SW=0** 时, BOR 复位电压由寄存器位 **SOFT_BOR.SOFT_BORS<2:0>** 决定)
 11: 1.6V 10: 2.4V
 01: 3.6V 00: 2.8V

CFG_WORD1 配置字 1

保留

CFG_WORD2 配置字 2

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DBG_N	—	RSTEN	—	POR_FLTS<1:0>		BOR_FLTS<1:0>	

- Bit7 **DBG_N**: 调试模式使能位
 1: 正常工作模式
 0: 使能调试模式
- Bit6 保留
- Bit5 **RSTEN**:
 1: P00 用作复位管脚
 0: P00 用作普通管脚
- Bit4 保留
- Bit3-2 **POR_FLTS<1:0>**: POR 滤波时间选择位
 11: 约 200us (推荐) 10: 约 150us
 01: 约 100us 00: 无滤波
- Bit1-0 **BOR_FLTS<1:0>**: BOR 滤波时间选择位
 11: 约 200us 10: 约 150us

01: 约 100us (推荐) 00: 无滤波

CFG_WORD3 配置字 3

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IAP_PR3<1:0>		IAP_PR2<1:0>		IAP_PR1<1:0>		IAP_PRO<1:0>	

- Bit7-6 **IAP_PR3<1:0>**: MAIN FLASH 地址 3000H~3FFFH 操作权限配置位
 10: IAP 擦写禁止, MOVC 指令读取允许 (量产烧录器中固定选项)
 其他: 保留
- Bit5-4 **IAP_PR2<1:0>**: MAIN FLASH 地址 2000H~2FFFH 操作权限配置位
 10: IAP 擦写禁止, MOVC 指令读取允许 (量产烧录器中固定选项)
 其他: 保留
- Bit3-2 **IAP_PR1<1:0>**: MAIN FLASH 地址 1000H~1FFFH 操作权限配置位
 10: IAP 擦写禁止, MOVC 指令读取允许 (量产烧录器中固定选项)
 其他: 保留
- Bit1-0 **IAP_PRO<1:0>**: MAIN FLASH 地址 0000H~0FFFH 操作权限配置位
 10: IAP 擦写禁止, MOVC 指令读取允许 (量产烧录器中固定选项)
 其他: 保留

CFG_WORD4 配置字 4

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	CLKFLT<2:0>			—	—	—	—

- Bit7 配置为 1
- Bit6-4 **CLKFLT<2:0>**: 主时钟滤波
 000: 8ns 滤波(推荐使用)
 其他: 无特殊需求不建议使用
- Bit3-0 配置为 1

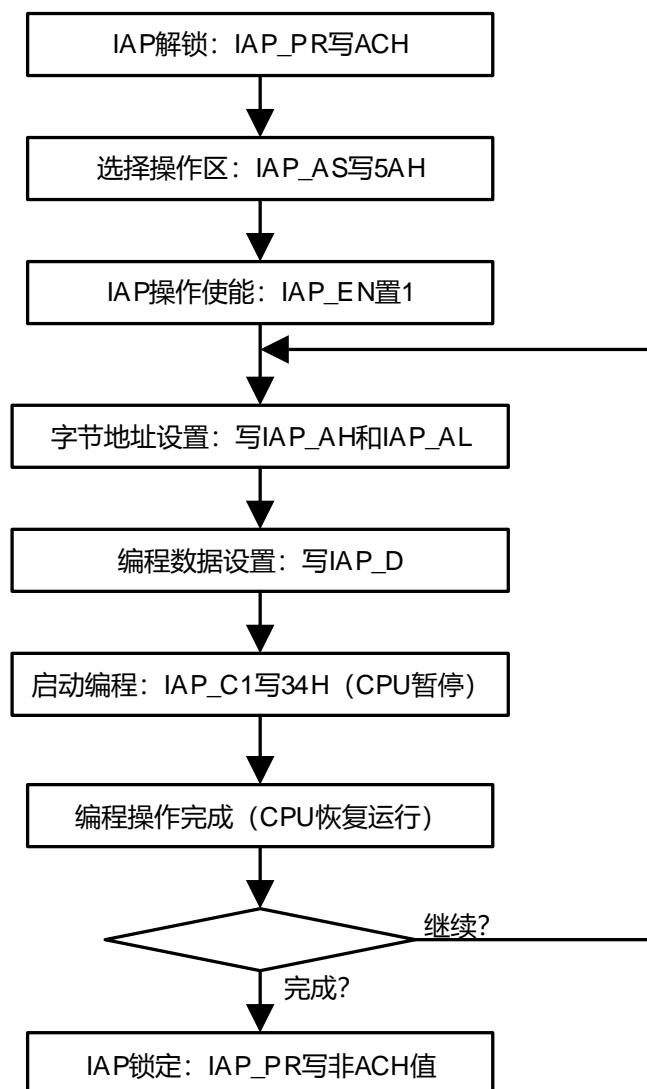
6.4 IAP 操作

本芯片 EEPROM 支持应用中自编程 IAP 操作。地址由 **IAP_AH.IAP_AL** 指定,支持字节改写, 无需擦除操作。

IAP 操作可对 EEPROM 进行字节编程, 读取校验通过 MOV_C 指令完成。编程时地址由 **IAP_AH** 和 **IAP_AL** 指定, 编程操作启动时, CPU 自动进入暂停运行状态, 直到编程操作完成, CPU 才恢复运行。在此过程中, 外设保持运行状态, 产生的中断请求会置位相应中断标志, 但不响应中断服务程序。编程操作完成后恢复对中断的正常响应。

EEPROM 编程时间约为 1.5ms。

IAP 操作流程



图表 8 IAP 操作流程图

IAP 寄存器

如果要对 IAP 寄存器进行写操作，必须通过 **IAP_PR** 寄存器进行解锁，解锁后才可进行 IAP 操作。

IAP_PR IAP 解锁寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_PR<7:0>							

Bit7-0 **IAP_PR<7:0>**: IAP 操作解锁字
 W: 写入 ACH 解锁, 写入其他值锁定
 R: 锁定状态读数为 00H, 解锁状态读数为 01H

IAP_AS IAP 区域选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_AS<7:0>							

Bit7-0 **IAP_AS<7:0>**: IAP 区域选择字
 W: 写入 5AH 选择数据区 EEPROM
 R: 选择数据区读数为 01H

IAP_AL IAP 地址寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_A<7:0>							

Bit7-0 **IAP_A<7:0>**: IAP 操作地址低 8 位

IAP_AH IAP 地址寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_A<15:8>							

Bit7-0 **IAP_A<15:8>**: IAP 操作地址高 8 位

IAP_D IAP 数据寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IAP_D<7:0>							

Bit7-0 **IAP_D<7:0>**: IAP 操作数据

IAP_C0 IAP 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	—	—	—	—	RW-0	RW-0

OV_EN	DW_PD	—	—	—	—	FLASH_HVS	IAP_EN
--------------	--------------	---	---	---	---	------------------	---------------

Bit7 **OV_EN**: 编程超时控制位

1: 使能

0: 关闭

Bit6 **DW_PD**: 强化写入控制位

1: 关闭

0: 使能

Bit5-2 保留

Bit1 **FLASH_HVS**: 加速编程

1: 使能

0: 关闭

Bit0 **IAP_EN**: IAP 使能位

1: 使能

0: 关闭

IAP_C1 IAP 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
W-0000_0000							
IAP OPS<7:0>							

Bit7-0 **IAP OPS<7:0>**: IAP 操作触发字

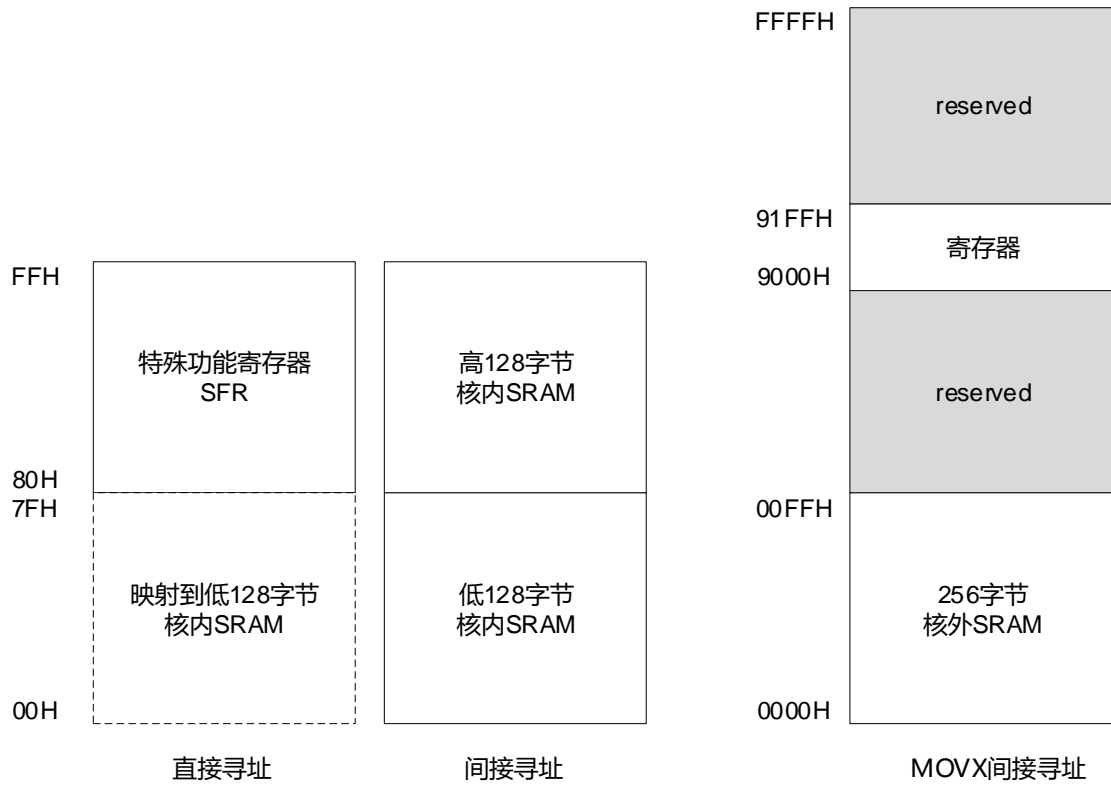
写 34H : 触发 IAP 编程

写其他值: 无操作

读 0X80 编程超时

6.5 数据寻址空间

数据寻址空间映射



图表 9 数据寻址空间映射图

6.6 SFR 映射

SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
ACC	E0H	A<7:0>								
B	F0H	B<7:0>								
SP	81H	SP<7:0>								
DPL	82H	DPTR<7:0>								
DPH	83H	DPTR<15:8>								
PSW	D0H	CY	AC	F0	RS<1:0>		OV	—	P	
PCON	87H	PCON_PR<3:0>				—		—	IDLE	SLEEP
RST_FLAG	B7H	—	—	—	ROM_O V	—	SRST_F	WDTR_F	POR_F	
INT_IE	E8H	GIE	INT_IE<6:0>							
INT_IF	88H	—	INT_IF<6:0>							
INT_IP	F8H	—	INT_IP<6:0>							
WDT_C	84H	—	—	WDT_P D	WDT_CK S	WDT_CY<3:0>				
WDT_OP	85H	WDT_OP								
HRC_TRML	89H	HRC_TRM<7:0>								
HRC_TRMH	8AH	HRC_PR<3:0>				—	—	HRC_TRM<9:8>		
PORT_C0	86H	—	—	—	—	PT_RDS<1:0>		—	—	
P0_OE	8BH	P0_OE<7:0>								
P1_OE	8CH	P1_OE<7:0>								
P2_OE	8DH	—	—	—	—	—	—	P2_OE<1:0>		
P0_DAT	80H	P0_DAT <7:0>								
P1_DAT	90H	P1_DAT <7:0>								
P2_DAT	A0H	—	—	—	—	—	—	P2_DAT <1:0>		
P0_PUE	8EH	P0_PUE<7:0>								
P1_PUE	8FH	P1_PUE<7:0>								
P2_PUE	91H	—	—	—	—	—	—	P2_PUE<1:0>		
P0_PDE	92H	P0_PDE<7:0>								
P1_PDE	93H	P1_PDE<7:0>								
P2_PDE	94H	—	—	—	—	—	—	P2_PDE<1:0>		
P1_SMITE	FBH	P1_SMITE<7:0>								
P0_ODE	95H	P0_ODE<7:0>								
P1_ODE	96H	P1_ODE<7:0>								
P2_ODE	97H	P2_ODE<7:0>								
P0_IE	9100H	P0_IE<7:0>								
P1_IE	9101H	P1_IE<7:0>								
P2_IE	9102H	P2_IE<7:0>								
P0_FUN0	9130H	P01_FUN				P00_FUN				
P0_FUN1	9131H	P03_FUN				P02_FUN				
P0_FUN2	9132H	P05_FUN				P04_FUN				
P0_FUN3	9133H	P07_FUN				P06_FUN				
P1_FUN0	9134H	P11_FUN				P10_FUN				
P1_FUN1	9135H	P13_FUN				P12_FUN				
P1_FUN2	9136H	P15_FUN				P14_FUN				
P1_FUN3	9137H	P17_FUN				P16_FUN				
P2_FUN0	9138H	P21_FUN				P20_FUN				
P1_IOL_CL	9152H	P13_IOL		P12_IOL		P11_IOL		P10_IOL		
P1_IOL_CH	9153H	—		—		P15_IOL		P14_IOL		

SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P0_IOH_CL	9160H	P03_IOH		P02_IOH		P01_IOH		P00_IOH	
P0_IOH_CH	9161H	P07_IOH		P06_IOH		P05_IOH		P04_IOH	
IOINT0_IF	98H	IOINT0_IF<7:0>							
IOINT0_IE	9180H	IOINT0_IE<7:0>							
IOINT0_MD	9182H	IOINT0_MD<7:0>							
IOINT0_S0	9184H	IOINT0_S0<7:0>							
IOINT0_S1	9185H	IOINT0_S1<7:0>							
TMR_IE	9DH	—	—	—	—	TMR3_IE	TMR2_IE	TMR1_IE	TMR0_IE
TMR_IF	A8H	—	—	—	—	TMR3_IF	TMR2_IF	TMR1_IF	TMR0_IF
PWM_IE	9EH	—	—	—	—	—	PWM2_IE	PWM1_IE	PWM0_IE
CAP_IE		—	—	—	—	—	CAP2_IE	—	—
PWM_IF	C8H	—	STP2_I F	STP1_I F	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF
CAP_IF		—	—	—	—	—	CAP2_IF	—	—
UART_IE	9FH	—	—	—	—	—	—	TX0_IE	RX0_IE
UART_IF	B8H	—	—	—	—	—	—	TX0_IF	RX0_IF
AN_IE	A1H	—	—	—	—	—	LVD_IE	ACP_IE	ADC_IE
AN_IF	C0H	—	—	—	—	—	LVD_IF	ACP_IF	ADC_IF
TMR0_C0	A2H	TMR0_EN	TMR0_PRE	—	—	TMR0_PST<3:0>			
TMR0	A4H	TMR0<7:0>							
TMR0_CY	A6H	TMR0_CY<7:0>							
TMR1_C0	A9H	TMR1_EN	TMR1_PRE	TMR1_LINK	—	TMR1_PST<3:0>			
TMR1	ABH	TMR1<7:0>							
TMR1_CY	ADH	TMR1_CY<7:0>							
TMR2_C0	A5H	TMR2_EN	TMR2_PRE	TMR2_CKS<1:0>		TMR2_PST<3:0>			
TMR2	A7H	TMR2<7:0>							
TMR2_CY	ABH	TMR2_CY<7:0>							
TMR3_C0	AEH	TMR3_EN	TMR3_PRE	TMR3_CKS<1:0>		TMR3_PST<3:0>			
TMR3_C1	A3H			TMR3_GS	TMR3_GE	—	—	—	—
TMR3L	B1H	TMR3<7:0>							
TMR3H	B2H	TMR3<15:8>							
TMR3_CYL	B3H	TMR3_CY<7:0>							
TMR3_CYH	B4H	TMR3_CY<15:8>							
PWM0_C0	BBH	PWM0_SPS<1:0>		—	—	PWM0_TBS<1:0>		PWM0_MOD<1:0>	
PWM0_C1	BCH	—	—	—	—	PWM01_T	PWM00_T	PWM01_P	PWM00_P
PWM0_R0L	BDH	PWM0_R0<7:0>							
PWM0_R0H	BEH	—	PWM0_REX			PWM0_R0<11:8>			
PWM0_R1L	C1H	PWM0_R1<7:0>							
PWM0_R1H	C2H	—	—	—	—	PWM0_R1<11:8>			
PWM0_DL	BFH	PWM0_DL<7:0>							
PWM1_C0	C3H	PWM1_SPS<1:0>		—	—	PWM1_TBS<1:0>		PWM1_MOD<1:0>	
PWM1_C1	C4H	—	—	—	—	PWM11_T	PWM10_T	PWM11_P	PWM10_P
PWM1_R0L	C5H	PWM1_R0<7:0>							
PWM1_R0H	C6H	—	PWM1_REX			PWM1_R0<11:8>			
PWM1_R1L	C9H	PWM1_R1<7:0>							
PWM1_R1H	CAH	—	—	—	—	PWM1_R1<11:8>			
PWM1_DL	C7H	PWM1_DL<7:0>							
PWM2_C0	CBH	PWM2_SPS<1:0>		—	—	PWM2_TBS<1:0>		PWM2_MOD<1:0>	
PWM2_C1	CCH	—	PWM2_REX			PWM21_T	PWM20_T	PWM21_P	PWM20_P

SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
PWM2_R0L	CDH	PWM2_R0<7:0>							
PWM2_R0H	CEH	PWM2_R0<15:8>							
PWM2_R1L	D1H	PWM1_R1<7:0>							
PWM2_R1H	D2H	PWM2_R1<15:8>							
PWM2_DL	CFH	PWM2_DL<7:0>							
UART0_BRL	D3H	UART_BRR<7:0>							
UART0_BRH	D4H	UART_BRR<15:8>							
UART0_RXC	D5H	FERR	OERR	PERR	RX9D	PARS	—	RXEN<1:0>	
UART0_RXB	D6H	RXB<7:0>							
UART0_TXC	D7H	TXST	TXBF	TX9S<1:0>		STPS	TXDM	TXEN<1:0>	
UART0_TXB	D9H	TXB<7:0>							
ADC_C0	E1H	ADC_EN	S_TRG	—	CH_SEL<4:0>				
ADC_C1	E2H	VREFP_S<3:0>			—	ADC_DM	ADC_CKS<1:0>		
ADC_C2	E3H	TRG_S<1:0>		ADC_CNT<1:0>		—	SMP_T<2:0>		
ADC_DL	E4H	ADC_DL<7:0>							
ADC_DH	E5H	ADC_DH<7:0>							
ACP_C0	E7H	ACP_EN	—	HYS_EN	ACP_INV	—	—	ACP_NS	ACP_O
ACP_C1	E9H	ACP_FLT<3:0>			—	ACP_VRFS<2:0>			
ACP_C2	EBH	—	—	—	—	—	FTL_CKS<1:0>		
VREF_C0	EFH	VREF_EN	—	—	—	—	—	—	—
LVD_C0	F3H	LVD_EN	LVD_IM	LVD_FLT	LVD_CKS	LVD_INS	LVD_VS<2:0>		

系统寄存器映射

SYS_SFR	ADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
IAP_PR	9000H	IAP_PR<7:0>							
IAP_AL	9002H	IAP_A<7:0>							
IAP_AH	9003H	IAP_A<15:8>							
IAP_D	9004H	IAP_D<7:0>							
IAP_C0	9005H	OV_EN	DW_PD	—	—	—	—	FLASH_HVS	IAP_EN
IAP_C1	9006H	EE_OPS<7:0>							
CLK_PR	9020H	CLK_PR<7:0>							
CLK_C0	9021H	MEM_MD<1:0>		CLK_S<1:0>		—	CLK_DIV<2:0>		
CLK_C1	9022H	OSC_F<1:0>		—	HRC_ST	SRAM_SEL<1:0>		—	HRC_EN
PCK_GTC0	9023H	COMM_G	—	ANA_G	PWM_G	TMR3_G	TMR2_G	—	TMR0_G
CLK_LP	9026H	—	—	—	CLK_LEN	—	—	—	FLT_BPS
WKUP_T	9027H	—	—	—	—	WKUP_T<3:0>			
TMR_HRC_C	9028H	—	—	—	—	—	—	—	CLK_S
SOFT_BOR	90F1H	SOFT_BOR_SW	—	—	—	—	SOFT_BOR<2:0>		
SOFT_RST	90FFH	SOFT_RST<7:0>							

位操作映射

寄存器		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
P0_DAT	80H	P0_DAT<7:0>							
INT_IF	88H	—	INT_IF<6:0>						
P1_DAT	90H	P1_DAT<7:0>							
IOINT0_IF	98H	IOINT0_IF<7:0>							
P2_DAT	A0H	—	—	—	—	—	—	P2_DAT<1:0>	
TMR_IF	A8H	—	—	—	—	TMR3_IF	TMR2_IF	TMR1_IF	TMR0_IF
UART_IF	B8H	—	—	—	—	—	—	TX0_IF	RX0_IF
AN_IF	C0H	—	—	—	—	—	LVD_IF	ACP_IF	ADC_IF
PWM_IF	C8H	—	STP2_IF	STP1_IF	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF
CAP_IF							CAP2_IF		
PSW	D0H	CY	AC	F0	RS<1:0>		OV	—	P
ACC	E0H	A<7:0>							
INT_IE	E8H	GIE	INT_IE<6:0>						
B	F0H	B<7:0>							
INT_IP	F8H	—	INT_IP<6:0>						

7 复位

7.1 描述

程序溢出复位

由于程序执行异常，程序计数器 PC 指向合法程序空间之外取指时，产生程序溢出复位。程序溢出复位同时，将 **RST_FLAG.ROM_OV** 标志位置 1，该标志可通过软件清 0。

SRST 软件复位

对软件复位寄存器 **SOFT_RST** 写入 5AH，再写入 A5H 产生软件复位。软件复位同时，将 **RST_FLAG.SRST_F** 标志位置 1，该标志可通过软件清 0。

WDT 复位

芯片内置硬件看门狗电路 WDT。在 WDT 溢出标志存在的情况下（WDT_OP 读出不为 00H），再次产生 WDT 溢出，会产生 WDT 复位。WDT 复位同时，将 **RST_FLAG.WDTR_F** 标志置 1，该标志可通过软件清 0。

POR 和 BOR 复位

POR 复位是芯片的内部复位，复位自动发生于芯片初始上电或芯片电源发生极端异常波动后的上电恢复。POR 硬件强制使能。

BOR 复位是芯片的内部复位，主要用于芯片电源 VDD 跌落至用户设定的 BOR 复位门限电压以下时产生芯片复位。用户可根据系统需要，使能或关闭 BOR 功能，并可选择不同的 BOR 的复位门限电压。POR 或者 BOR 复位发生时，将 **RST_FLAG.POR_F** 标志置 1，并将 **RST_FLAG** 寄存器的其他标志位复位清 0，POR_F 标志位可通过软件清 0。

7.2 复位寄存器

RST_FLAG 复位标志寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	—	RW-0	RW-0	RW-0
—	—	—	ROM_OV	—	SRST_F	WDTR_F	POR_F

Bit7-5 保留

Bit4 **ROM_OV**: 程序溢出复位标志位

1: 程序执行溢出产生芯片复位

0: 未发生程序执行溢出

Bit3 保留

Bit2 **SRST_F**: 软件复位标志位

1: 通过写 SOFT_RST 寄存器产生软件复位

0: 未发生软件复位

Bit1 **WDTR_F**: WDT 复位标志位

1: WDT 溢出产生复位

0: 未发生 WDT 溢出复位

Bit0 **POR_F**: POR 上电复位标志位

1: 发生 POR 上电复位 (系统初次上电或系统电源的异常跌落恢复产生的重新上电)

0: 未发生 POR 上电复位

SOFT_RST 软件复位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
W-0000_0000							
SOFT_RST<7:0>							

Bit7-0 **SOFT_RST<7:0>**: 软件复位字

W: 先写 5AH,再写入 A5H 产生软件复位

产生复位后, RST_FLAG<2>将被置 1, 需软件清零

SOFT_BOR 软件复位寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1	—	—	—	—	RW-000		
SOFT_BOR_SW	—	—	—	—	SOFT_BORS<2:0>		

Bit7 **SOFT_BOR_SW**: 软件 BOR 使能位(使能时 BOR 电压点由 **SOFT_BORS<2:0>**决定)

0: 使能

1: 禁止

Bit6-3 保留

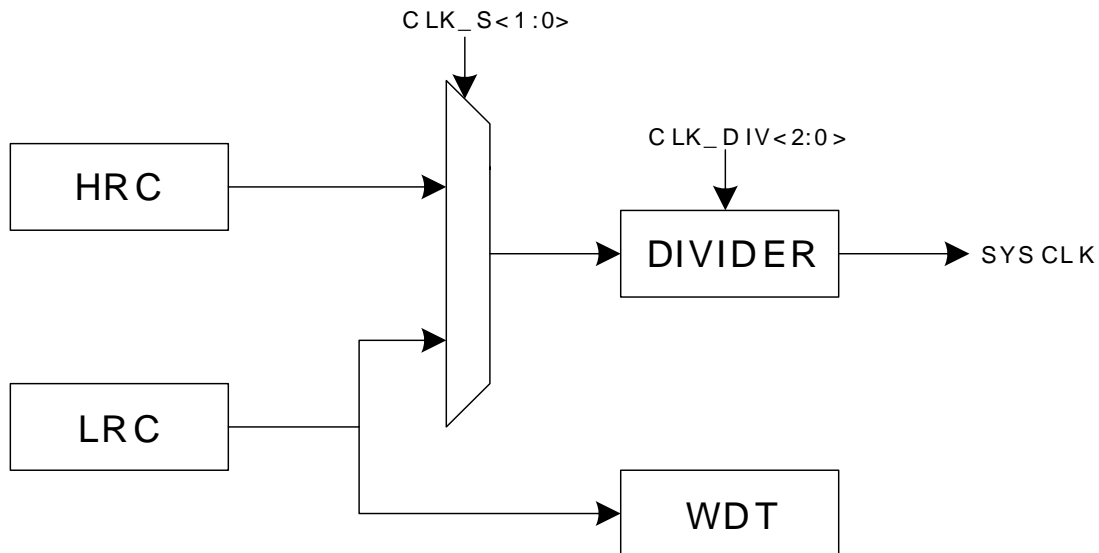
Bit2-0 **SOFT_BORS<2:0>**: 软件 BOR 配置位

111: 4.4V 110: 4.0V 101: 3.6V 100: 3.2V

011: 2.8V 010: 2.4V 001: 2.0V 000: 1.6V

8 时钟

8.1 描述



图表 10 系统时钟源功能框图

内部高频 RC 时钟 HRC

芯片内置一个高频 RC 时钟，有 24M 或者 16M 两个频点可以设置，读取校准区为 0x8027 和 0x8026 写入 HRC_TRMH 和 HRC_TRML 时钟 HRC 为 16M，读取校准区为 0x8023 和 0x8022 写入 HRC_TRMH 和 HRC_TRML 时钟 HRC 为 24M，本时钟用于系统和外设时钟源。HRC 出厂校准精度 $\pm 1\%$ ($T=25^{\circ}\text{C}$)。

内部低频 RC 时钟 LRC

芯片内置 16KHz 低频 RC 时钟，用于系统和外设时钟源，同时用于 WDT 时钟源。

8.2 最大工作频率说明

工作条件	VDD	最大工作频率 (MHz)
芯片运行时钟不分频	3.5~5.5V	12M
	2.7~5.5V	8M
	2.0~5.5V	2M

8.3 时钟寄存器

为保护时钟相关寄存器不被异常的程序执行误改动，所有时钟寄存器默认是锁定状态。如果要对时钟寄存器进行改写，必须通过 **CLK_PR** 寄存器进行解锁。

CLK_PR 时钟解锁寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
CLK_PR<7:0>							

Bit7-0 **CLK_PR<7:0>**: 时钟寄存器解锁字
 W: 写入 A5H 解锁, 写入其他值锁定
 R: 锁定状态读为 00H, 解锁状态读为 01H

CLK_C0 时钟控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		—	RW-011		
MEM_MD<1:0>		CLK_S<1:0>		—	CLK_DIV<2:0>		

Bit7-6 **MEM_MD<1:0>** (不关注低速运行功耗, 请保持 MEM_MD 为 00)
 11: 低速 500K
 10: 中速
 0X: 高速 (建议使用)

Bit5-4 **CLK_S<1:0>**: 系统时钟源选择位
 11: 保留
 10: 选择 LRC
 01: 保留
 00: 选择 HRC (默认使能)

Bit3 保留

Bit2-0 **CLK_DIV<2:0>**: 系统时钟分频位
 系统时钟频率 $F_{SYSCLK} = \frac{F_{SOURCE}}{2^{CLK_DIV<2:0>}}$

CLK_C1 时钟控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-00		—	R-0	RW-00		—	RW-0
OSC_F<1:0>		—	HRC_ST	SRAM_SEL		—	HRC_EN

Bit7-6 **OSC_F<1:0>**: 系统时钟源状态位

11: 保留

10: 当前系统时钟源为 LRC

01: 保留

00: 当前系统时钟源为 HRC

Bit5 保留

Bit4 **HRC_ST**: 内部高速振荡器 HRC 工作状态位

1: HRC 已进入稳定工作状态

0: HRC 启动中

Bit3-2 **SRAM_SEL<1:0>**SRAM 操作电压选择 (保持 00)

11: 1.8V 10: 5.0V

01: 3.3V 00: 3.3V

Bit1 保留

Bit0 **HRC_EN**: 内部高速振荡器 HRC 使能位

1: 使能

0: 关闭

PCK_GTC0 外设时钟控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1	RW-1	RW-1	RW-1	RW-1	RW-1	—	RW-1
COMM_G	ADC_G	IR_G	CP0_G	TMR4_G	TMR3_G	—	TMR0_G

Bit7 **COMM_G**: UART 外设时钟使能位

1: 使能

0: 关闭

Bit6 **ADC_G**: ADC 外设时钟使能位

1: 使能

0: 关闭

Bit5 **IR_G**: IR 接近感应外设时钟使能位

1: 使能

0: 关闭

Bit4 **CP0_G**: CAP2 和 PWM0~PWM2 外设时钟使能位

1: 使能

0: 关闭

Bit3 **TMR4_G**: TMR4 外设时钟使能位

1: 使能

0: 关闭

- Bit2 **TMR3_G**: TMR3 外设时钟使能位
1: 使能
0: 关闭
- Bit1 保留
- Bit0 **TMR0_G**: TMR0~TMR1 外设时钟使能位
1: 使能
0: 关闭

LVD_PR LVD 保护运行寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW_0	RW_10		RW-0000			
PR_EN	PR_PG	PR_CK_DIV<1:0>		PR_FLT<3:0>			

- Bit7 **PR_EN**: LVD 保护运行使能位
1: 使能
0: 禁止
- Bit6 **PR_PG**: LVD 保护编程
1: 使能, 低电压时 IAP 不工作
0: 禁止
- Bit5-4 **PR_CK_DIV<1:0>**: LVD 保护后分频数
11: 8 分频 10: 4 分频
01: 2 分频 00: 8 分频
- Bit3-0 **PR_FLT<3:0>**: 响应保护滤波
 $T_{sys_clk} * (PR_FLT + 1)$

WKUP_T SLEEP 唤醒等待时间寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-1111			
—	—	—	—	WKUP_T<3:0>			

- Bit7-4 保留
- Bit3-0 **WKUP_T<3:0>**: SLEEP 唤醒等待时间控制位
唤醒等待时间 $T_{WKUP} = (WKUP_T<3:0> + 1) \times 16 \times T_{SYS_CLK}$

TMR_HRC_C TMR 计数 HRC 时钟选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	CLK_S

- Bit7-1 保留
- Bit0 **CLK_S**: TMR 用的 HRC 是否使能 2 分频
1: 使能
0: 禁止

HRC_TRML HRC 调校寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1000_0000							
HRC_TRM<7:0>							

Bit7-0 **HRC_TRM<7:0>**: HRC 频率调校位低 8 位。校准数据低位写完成后生效。

HRC_TRMH HRC 调校寄存器高 2 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000				—	—	RW-00	
HRC_PR<3:0>				—	—	HRC_TRM<9:8>	

Bit7-4 **HRC_PR<3:0>**: HRC 调校位写保护

W: 写入 5H 锁定, 写入 AH 解锁

R: 锁定状态读为 0H, 解锁状态读为 1H

Bit3-2 保留

Bit1-0 **HRC_TRM<9:8>**: HRC 频率调校位高 2 位

注: **HRC_TRML** 和 **HRC_TRMH** 寄存器不受 **CLK_PR** 控制。

9 低功耗

9.1 描述

芯片支持 2 种低功耗模式，IDLE 模式和 SLEEP 模式。

IDLE 模式

在 IDLE 模式下，CPU 暂停执行指令，系统时钟和外设均保持当前的工作状态。

用户可关闭不需要运行模块的使能位，并通过 PCK_GTC0 寄存器关闭相应模块的时钟，以节省不必要的功率消耗。

保持运行的外设产生的中断，如果相应的中断使能位为 1（GIE 不需使能），可将芯片从 IDLE 状态唤醒。如果 GIE 使能，唤醒芯片后，会进行中断服务程序。IDLE 唤醒无等待时间，唤醒后 CPU 继续运行。

SLEEP 模式

在 SLEEP 模式下，系统时钟自动关闭，CPU 和所有采用系统时钟工作的外设模块均暂停工作。

采用非系统时钟工作的外设可在 SLEEP 模式下保持工作，并且产生的中断，如果相应的中断使能位为 1（GIE 不需使能），可将芯片从 SLEEP 状态唤醒。如果 GIE 使能，唤醒芯片后，会进行中断服务程序。SLEEP 唤醒需要一定的等待时间，用户可通过 WKUP_T 寄存器设定，等待时间用以确保芯片恢复运行前内部的部分模块已达到稳定工作状态，唤醒后系统时钟恢复运行，CPU 和经系统时钟同步的外设继续运行。

9.2 低功耗寄存器

PCON 低功耗控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000				—	—	RW-0	RW-0
PCON_PR<3:0>				—	—	IDLE	SLEEP

Bit7-4	PCON_PR<3:0> : PCON 解锁字 W: 写入 5H 解锁, 写入其他值锁定 R: 锁定状态读出为 0H, 解锁状态读出为 1H
Bit3-2	保留
Bit1	IDLE : IDLE 模式使能位 1: 进入 IDLE 模式 (仅在 PCON_PR 解锁状态下, 对 PCON 寄存器写 02H 可置 1) 0: 退出 IDLE 模式 (写 0 无效, 唤醒后硬件自动清 0)
Bit0	SLEEP : SLEEP 模式使能位 1: 进入 SLEEP 模式 (仅在 PCON_PR 解锁状态下, 对 PCON 寄存器写 01H 可置 1) 0: 退出 SLEEP 模式 (写 0 无效, 唤醒后硬件自动清 0)

10 看门狗定时器 WDT

10.1 描述

芯片内置 16 位硬件看门狗定时器 WDT。支持 2 种时钟源可选，支持溢出周期可配置。

WDT 溢出唤醒

当 16 位 WDT 计数器累加到与 **WDT_CYC** 位所选择的值相等时，WDT 计数器溢出。溢出后 WDT 计数器从 0 开始累加。在 SLEEP 或 IDLE 下，WDT 两次溢出可将 CPU 从低功耗模式下唤醒。读

WDT_OP 寄存器可判断溢出标志。

WDT 溢出复位

当 16 位 WDT 计数器累加到与 **WDT_CYC** 位所选择的值相等时，WDT 计数器溢出。溢出后 WDT 计数器从 0 开始累加。在 MCU 运行状态选，WDT 两次溢出芯片将产生复位。WDT 复位同时将 WDT 复位标志 **RST_FLAG.WDTF** 置 1。

喂狗操作

对 **WDT_OP** 寄存器写 5AH 即可进行喂狗操作，喂狗操作将 WDT 计数器清 0，同时清除 WDT 溢出标志。另外操作芯片进入 SLEEP 或者 IDLE 时，同时产生喂狗动作。

10.2 WDT 寄存器

WDT_C **WDT 控制寄存器**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-0	RW-1	RW-1110			
—	—	WDT_PD	WDT_CKS	WDT_CYC<3:0>			

Bit7-6 保留

Bit5 **WDT_PD**: 软件 WDT 关断位 (仅在配置字关闭后生效)

1: 关闭 WDT

0: 使能 WDT

Bit4 **WDT_CKS**: WDT 时钟源选择位

1: 内部低频时钟 LRC

0: 系统时钟 SYS_CLK

Bit3-0 **WDT_CYC<3:0>**: WDT 溢出周期寄存器(下表时间为 LRC 16K 工作时间)

0000: 2560ms	0001: 2000ms	0010: 1500ms	0011: 1000ms
0100: 900ms	0101: 800ms	0110: 700ms	0111: 600ms
1000: 500ms	1001: 400ms	1010: 300ms	1011: 200ms
1100: 100ms	1101: 60ms	1110: 30ms	1111: 20ms

WDT_OP WDT 操作寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
WDT_OP<7:0>							

Bit7-0 **WDT_OP<7:0>**: WDT 操作字

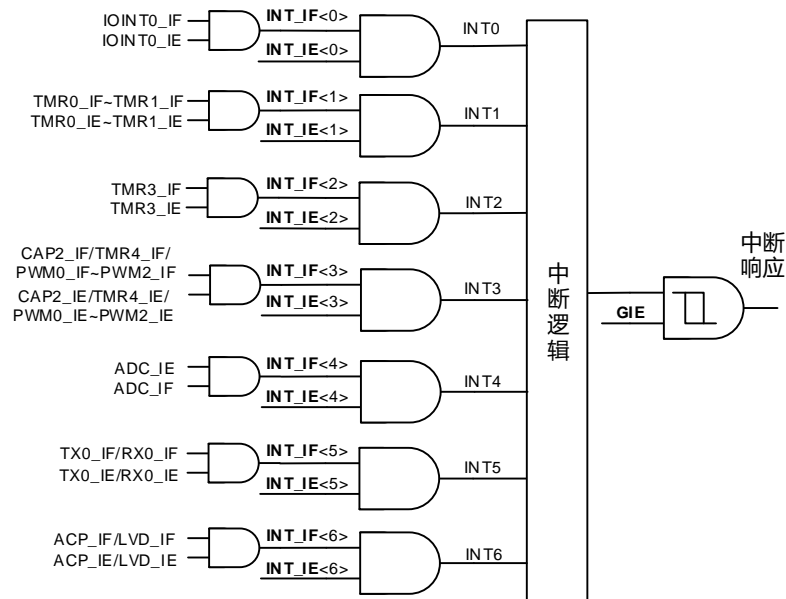
W: 写入 5AH 将 WDT 计数器清 0, 且清除 WDT 溢出标志

R: WDT 未溢出读数为 00H, WDT 溢出读数为 01H, WDT 溢出唤醒读数为 03H

11 中断

11.1 中断向量

芯片共支持 7 个中断向量，每个中断向量对应单独的入口地址。如下表所示，芯片的所有中断源都有各自的中断标志和中断使能位，这些中断源被分组对应到 7 个中断向量。同时，每个中断向量也有一个向量使能位 $INT_IE<n>$ ，并且所有的中断向量还共用 1 个总的使能位 $INT_IE.GIE$ 。GIE 禁止时所有中断不响应，但向量和中断源使能的中断仍支持低功耗模式唤醒功能。



图表 11 中断向量图

向量编号	对应 Interrupt	入口地址	向量使能	向量标志	中断源使能	中断源标志
INT0	0	0003H	INT0_IE	INT0_IF	IOINT0_IE	IOINT0_IF
INT1	2	0013H	INT1_IE	INT1_IF	TMR0_IE TMR1_IE	TMR0_IF TMR1_IF
INT2	7	003BH	INT2_IE	INT2_IF	TMR3_IE	TMR3_IF
INT3	8	0043H	INT3_IE	INT3_IF	TMR4_IE CAP2_IE PWMn_IE STPn_IE	TMR4_IF CAP2_IF PWMn_IF STPn_IF
INT4	9	004BH	INT4_IE	INT4_IF	ADC_IE	ADC_IF
INT5	10	0053H	INT5_IE	INT5_IF	TX0_IE RX0_IE	TX0_IF RX0_IF
INT6	11	005BH	INT6_IE	INT6_IF	ACP_IE LVD_IE	ACP_IF LVD_IF

图表 12 中断向量表

11.2 中断优先级

中断系统分为 2 个优先级阶，即高阶优先级和低阶优先级，每个中断向量可通过相应的 INTn_IP 位单独设置优先级阶。在同阶优先级中，中断向量号越小的中断向量优先级越高。同一中断向量对应的多个中断源不分优先级，用户需在对应于该向量入口地址的中断服务程序中进行软件判别。

高优先级的中断可嵌套低优先级中断。反之，低优先级中断只能等待高优先级或同级中断完成中断处理并退出中断服务程序后才可得到响应。

11.3 中断寄存器

INT_IE 中断使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-000_0000						
GIE	INT_IE<6:0>						

- Bit7 **GIE**: 中断总使能位
 1: 使能
 0: 禁止 (仅禁止中断响应, 不禁止中断唤醒)
- Bit6-0 **INT_IE<6:0>**: 中断向量 INT0~6 使能位
 1: 使能
 0: 禁止 (禁止中断响应和中断唤醒)

INT_IF 中断标志寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000_0000						
—	INT_IF<6:0>						

- Bit7 保留
- Bit6-0 **INT_IF<6:0>**: 中断向量 INT0~6 标志位
 1: 有中断请求
 0: 无中断请求

INT_IP 中断向量优先级寄存器

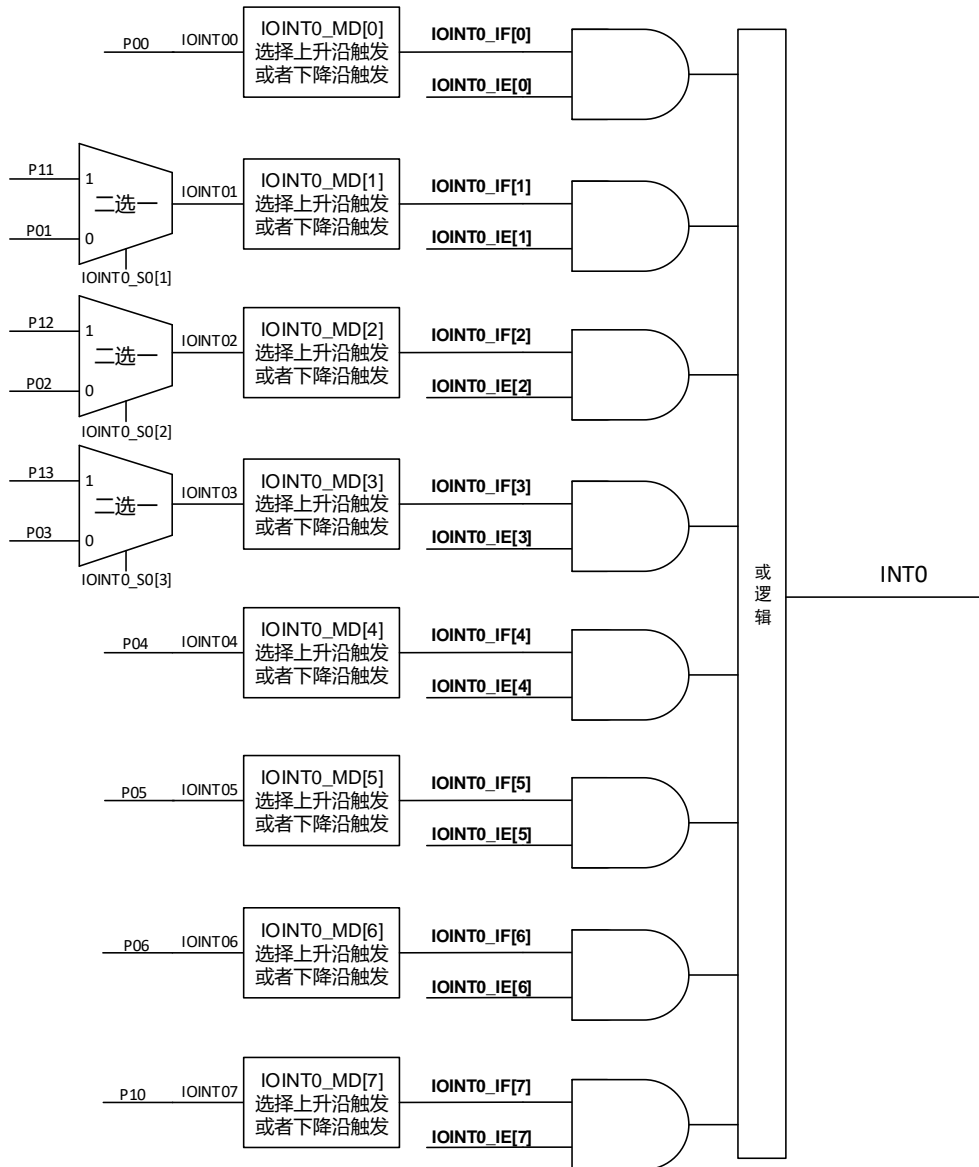
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000_0000						
—	INT_IP<6:0>						

- Bit7 保留
- Bit6-0 **INT_IP<6:0>**: 中断向量 INT0~6 优先级选择位
 1: 高阶优先级
 0: 低阶优先级

11.4 外部端口中断 IOINT

芯片支持 8 个外部端口中断源 IOINT0~7，每个 IOINT 中断源可独立设置中断触发方式。最终可触发 INTO 中断。

下图为 IO 中断映射图：



IOINT0_IE IOINT0 使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT0_IE<7:0>							

Bit7-0 **IOINT0_IE<7:0>**: 外部端口中断使能位
 1: 使能
 0: 禁止

IOINT0_IF IOINT0 标志寄存器 (本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT0_IF<7:0>							

Bit7-0 **IOINT0_IF<7:0>**: 外部端口中断标志位
 1: 有中断请求
 0: 无中断请求

IOINT0_MD IOINT0 触发选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT0_MD<7:0>							

Bit7-0 **IOINT0_MD<7:0>**: IOINT0 触发方式选择位
 1: 下降沿触发
 0: 上升沿触发

IOINT0_S0 IOINT0 端口选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
IOINT0_S0<7:0>							

Bit7-0 **IOINT0_S0<7:0>**: IOINT00~7 端口选择位

IOINT0_S0	IOINT07	IOINT06	IOINT05	IOINT04	IOINT03	IOINT02	IOINT01	IOINT00
1	—	—	—	—	P13	P12	P11	—
0	P10	P06	P05	P04	P03	P02	P01	P00

11.5 定时器/计数器 TMR 中断

芯片的 4 个定时器 TMR0/1/3/4 都支持中断。当 TMRn 计数器累加到与周期寄存器 **TMRn_CY** 相等时，TMRn 产生 1 次溢出，当溢出次数达到后分频位 **TMRn_C0.TMRn_PST<3:0>** 所设定的次数时，即产生 TMRn 中断。（其中 n 表示 0~3）

TMR_IE TMR 中断使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	RW-0	—	RW-0	RW-0
—	—	—	TMR4_IE	TMR3_IE	—	TMR1_IE	TMR0_IE

Bit7-5 保留

Bit4 **TMR4_IE**: TMR4 中断使能位
 1: TMR4 中断使能
 0: TMR4 中断禁止

Bit3 **TMR3_IE**: TMR3 中断使能位
 1: TMR3 中断使能
 0: TMR3 中断禁止

Bit2 保留

Bit1 **TMR1_IE**: TMR1 中断使能位
 1: TMR1 中断使能
 0: TMR1 中断禁止

Bit0 **TMR0_IE**: TMR0 中断使能位
 1: TMR0 中断使能
 0: TMR0 中断禁止

TMR_IF TMR 中断标志寄存器 (支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	RW-0	—	RW-0	RW-0
—	—	—	TMR4_IF	TMR3_IF	—	TMR1_IF	TMR0_IF

Bit7-5 保留

Bit4 **TMR4_IF**: TMR4 中断标志位
 1: 有 TMR4 中断请求
 0: 无 TMR4 中断请求

Bit3 **TMR3_IF**: TMR3 中断标志位
 1: 有 TMR3 中断请求
 0: 无 TMR3 中断请求

Bit2 保留

Bit1 **TMR1_IF**: TMR1 中断标志位
 1: 有 TMR1 中断请求
 0: 无 TMR1 中断请求

Bit0 **TMR0_IF**: TMR0 中断标志位
 1: 有 TMR0 中断请求

0: 无 TMR0 中断请求

11.6 边沿捕捉器 CAP 中断

芯片的 1 个边沿捕捉器 CAP 都支持中断。当满足用户设定的捕捉条件的捕捉事件发生时，即产生捕捉中断。

CAP_IE CAP 中断使能寄存器 (与 PWM_IE 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IE	—	—

Bit7-3 保留

Bit2 **CAP2_IE**: CAP 中断使能位

1: 使能

0: 禁止

Bit1-0 保留

CAP_IF CAP 中断标志寄存器 (与 PWM_IF 寄存器复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IF	—	—

Bit7-3 保留

Bit2 **CAP2_IF**: CAP2 中断使能位

1: 有 CAP2 中断请求

0: 无 CAP2 中断请求

Bit1-0 保留

11.7 脉宽调制器 PWM 中断

芯片的 3 个脉宽调制器 PWM0~2 都支持 2 种中断，即 PWM 周期中断和 PWM 刹车中断。

PWM 周期中断

当 PWMn 所选时基的计数器值累加到该时基对应的周期值时，即产生 PWM 周期中断。

PWM 刹车中断

当 PWMn 发生刹车事件时，会产生 PWM 刹车中断。

PWM_IE PWM 中断使能寄存器 (与 CAP_IE 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IE	STP1_IE	STP0_IE	—	PWM2_IE	PWM1_IE	PWM0_IE

Bit7	保留
Bit6	STP2_IE : PWM2 刹车中断使能位 1: 使能 0: 禁止
Bit5	STP1_IE : PWM1 刹车中断使能位 1: 使能 0: 禁止
Bit4	STP0_IE : PWM0 刹车中断使能位 1: 使能 0: 禁止
Bit3	保留
Bit2	PWM2_IE : PWM2 周期中断使能位 1: 使能 0: 禁止
Bit1	PWM1_IE : PWM1 周期中断使能位 1: 使能 0: 禁止
Bit0	PWM0_IE : PWM0 周期中断使能位 1: 使能 0: 禁止

PWM_IF PWM 中断标志寄存器 (与 CAP_IF 寄存器复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IF	STP1_IF	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF

Bit7 保留

Bit6 **STP2_IF**: PWM2 刹车中断标志位
 1: 有 PWM2 刹车中断请求
 0: 无 PWM2 刹车中断请求

Bit5 **STP1_IF**: PWM1 刹车中断标志位
 1: 有 PWM1 刹车中断请求
 0: 无 PWM1 刹车中断请求

Bit4 **STP0_IF**: PWM0 刹车中断标志位
 1: 有 PWM0 刹车中断请求
 0: 无 PWM0 刹车中断请求

Bit3 保留

Bit2 **PWM2_IF**: PWM2 周期中断标志位
 1: 有 PWM2 周期中断请求
 0: 无 PWM2 周期中断请求

Bit1 **PWM1_IF**: PWM1 周期中断标志位
 1: 有 PWM1 周期中断请求
 0: 无 PWM1 周期中断请求

Bit0 **PWM0_IF**: PWM0 周期中断标志位
 1: 有 PWM0 周期中断请求
 0: 无 PWM0 周期中断请求

11.8 异步收发器 UART 中断

UART 支持 2 个中断，即 TX 发送中断和 RX 接收中断。

TX 发送中断

根据 **UART_TXC.TXEN**<1:0>位的配置，TX 发送中断可以是 UART 发送寄存器空产生中断。

RX 接收中断

UART 接收寄存器接收到 1 帧数据，即产生 RX 接收中断。

UART_IE UART 中断使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IE	RX0_IE

Bit7-2 保留

Bit1 **TX0_IE**: UART0 发送中断使能位

1: 使能

0: 禁止

Bit0 **RX0_IE**: UART0 接收中断使能位

1: 使能

0: 禁止

UART_IF UART 中断标志寄存器 (本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IF	RX0_IF

Bit7-2 保留

Bit1 **TX0_IF**: UART0 发送中断标志位

1: 有 UART0 发送中断请求

0: 无 UART0 发送中断请求

Bit0 **RX0_IF**: UART0 接收中断标志位

1: 有 UART0 接收中断请求

0: 无 UART0 接收中断请求

11.9 模拟模块中断

模拟模块包括 LVD、ADC 和 ACP 模拟比较器，每个模块都有独立的中断使能位和中断标志位。

低电压检测 LVD 中断

当满足 LVD_C0.LVD_IM 所设置的条件时，产生 LVD 中断。

模数转换器 ADC 中断

当 ADC 转换完成时，并达到 ADC_C2.ADC_CNT<1:0>所设定的转换次数时，产生 ADC 中断。

模拟比较器 ACP 中断

当模拟比较器正端电压高于负端电压时，产生 ACP 中断。

AN_IE 模拟中断使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	RW-0	RW-0
—	—	—	—	—	LVD_IE	ACP_IE	ADC_IE

Bit7-3 保留

Bit2 **LVD_IE**: LVD 中断使能位
1: 使能
0: 禁止

Bit1 **ACP_IE**: ACP 中断使能位
1: 使能
0: 禁止

Bit0 **ADC_IE**: ADC 中断使能位
1: 使能
0: 禁止

AN_IF 模拟中断标志寄存器 (本寄存器支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	RW-0	RW-0
—	—	—	—	—	LVD_IF	ACP_IF	ADC_IF

Bit7-3 保留

Bit2 **LVD_IF**: LVD 中断标志位
1: 有 LVD 中断请求
0: 无 LVD 中断请求

Bit1 **ACP_IF**: ACP 中断标志位
1: 有 ACP 中断请求
0: 无 ACP 中断请求

Bit0 **ADC_IF**: ADC 中断标志位
1: 有 ADC 中断请求
0: 无 ADC 中断请求

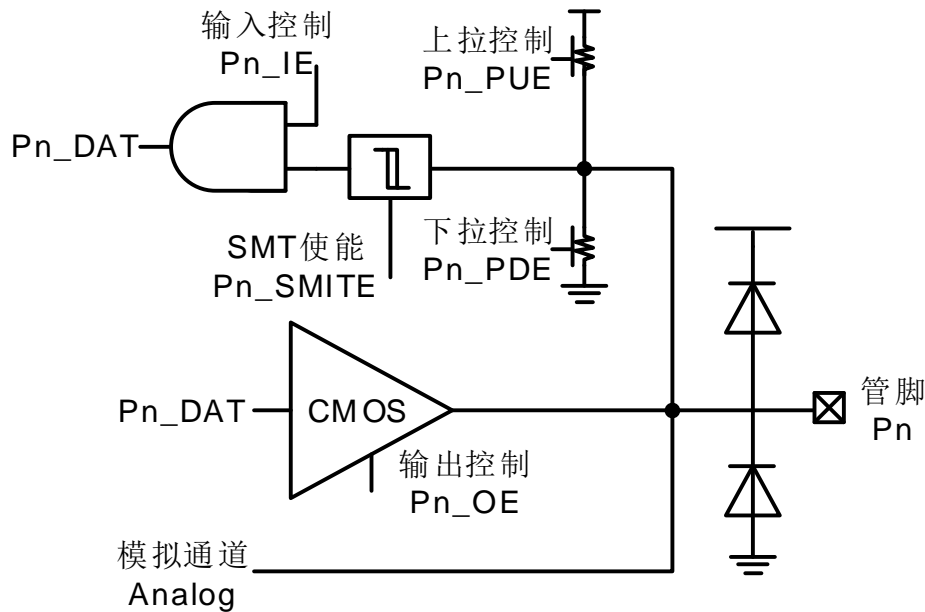
12 I/O 端口

12.1 描述

芯片 IO 管脚支持推挽输出和开漏输出两种模式。

支持上下拉单独控制。

输入输出全部关闭后，为高阻态，可用于模拟信号的输入输出。



图表 13 I/O 功能框图

5.1 I/O 寄存器 (寄存器中出现的 n 表示 0~2)

PORT_C0 端口控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-0	—	—	RW-00	
P0_SMTDP	P0_SMTS	P1_SMTDP	P1_SMTS	—	—	PT_RDS<1:0>	

Bit7 **P0_SMTDP**: P0 端口施密特选择位

1: 关闭

0: 使能

Bit6 **P0_SMTS**: P0 端口施密特选择位

1: $V_{IH}=0.3V_{DD}$, $V_{IL}=0.2V_{DD}$

0: $V_{IH}=0.7V_{DD}$, $V_{IL}=0.3V_{DD}$

Bit5 **P1_SMTDP**: P1 端口施密特选择位

1: 关闭

0: 使能

Bit4 **P1_SMTS**: P1 端口施密特选择位

1: $V_{IH}=0.3V_{DD}$, $V_{IL}=0.2V_{DD}$

0: $V_{IH}=0.7V_{DD}$, $V_{IL}=0.3V_{DD}$

Bit3-2

保留

Bit1-0

PT_RDS<1:0>: 读端口模式选择位

11: 输出模式时读端口寄存器, 输入模式下读端口电平

10: 始终读端口寄存器

01: 始终读端口电平

00: 输出模式时读端口寄存器, 输入模式下读端口电平

Pn_OE Pn 端口输出使能寄存器 (n 表示 0~1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_OE<7:0>							

Bit7-0 **Pn_OE<7:0>**: Pn 端口输出使能位

- 1: 输出使能
- 0: 输出禁止

Pn_IE Pn 端口输入使能寄存器 (默认使能, 管脚作为模拟功能时关闭输入) (n 表示 0~1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
Pn_IE<7:0>							

Bit7-0 **Pn_IE<7:0>**: Pn 端口输入使能位

- 1: 使能
- 0: 禁止

Pn_DAT Pn 端口数据寄存器 (n 表示 0~1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_DAT<7:0>							

Bit7-0 **Pn_DAT<7:0>**: Pn 端口输出位

- 1: 端口输出高电平
- 0: 端口输出低电平

Pn_PUE Pn 端口弱上拉使能寄存器 (n 表示 0~1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_PUE<7:0>							

Bit7-0 **Pn_PUE<7:0>**: Pn 端口弱上拉使能位

- 1: 弱上拉使能
- 0: 弱上拉关闭

Pn_PDE Pn 端口弱下拉使能寄存器 (n 表示 0~1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_PDE<7:0>							

Bit7-0 **Pn_PDE<7:0>**: Pn 端口弱下拉使能位

- 1: 弱下拉使能
- 0: 弱下拉关闭

Pn_ODE Pn 端口开漏使能寄存器 (n 表示 0~1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
Pn_ODE<7:0>							

Bit7-0 **Pn_ODE<7:0>**: Pn 端口输出模式选择位

- 1: 开漏输出模式 (要求开漏端口电平不高于 VDD 电平)
- 0: 推挽输出模式

P1_SMITE P1 端口施密特使能寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
P1_SMITE<7:0>							

Bit7-0 **P1_SMITE<7:0>**: P17~P10 端口施密特模式选择位

- 1: 使能
- 0: 禁止

P0_IOH_CL P00~P03 拉电流驱动力设置 (输出高电平时驱动电流设置)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		—	
P03_IOH<1:0>		P02_IOH<1:0>		P01_IOH<1:0>		—	

Bit7-6 **P03_IOH<1:0>**: P03 端口驱动电流设置

- 11: 8mA 10: 4mA
- 01: 2mA 00: 15mA

Bit5-4 **P02_IOH<1:0>**: P02 端口驱动电流设置

- 11: 8mA 10: 4mA
- 01: 2mA 00: 15mA

Bit3-2 **P01_IOH<1:0>**: P01 端口驱动电流设置

- 11: 8mA 10: 4mA
- 01: 2mA 00: 15mA

Bit1-0 保留

P0_IOH_CH P04~P07 拉电流驱动力设置 (输出高电平时驱动电流设置)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—		RW-00		RW-00		RW-00	
—		P06_IOH<1:0>		P05_IOH<1:0>		P04_IOH<1:0>	

Bit7-6 保留

Bit5-4 **P06_IOH<1:0>**: P06 端口驱动电流设置

- 11: 8mA 10: 4mA
- 01: 2mA 00: 15mA

Bit3-2 **P05_IOH<1:0>**: P05 端口驱动电流设置

- 11: 8mA 10: 4mA
- 01: 2mA 00: 15mA

Bit1-0 **P04_IOH<1:0>**: P04 端口驱动电流设置

- 11: 8mA 10: 4mA
- 01: 2mA 00: 15mA

P1_IOL_CL **P10~P13 灌电流驱动力设置** (输出低电平时驱动电流设置)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
P13_IOL<1:0>		P12_IOL<1:0>		P11_IOL<1:0>		P10_IOL<1:0>	

Bit7-6 **P13_IOL<1:0>**: P13 端口灌电流设置

其他: 保留

01: 80mA

00: 25mA

Bit5-4 **P12_IOL<1:0>**: P12 端口灌电流设置

其他: 保留

01: 80mA

00: 25mA

Bit3-2 **P11_IOL<1:0>**: P11 端口灌电流设置

其他: 保留

01: 80mA

00: 25mA

Bit1-0 **P10_IOL <1:0>**: P10 端口灌电流设置

其他: 保留

01: 80mA

00: 25mA

12.2 I/O 功能复用功能寄存器

管脚数字复用功能表

符号	类型	描述	备注
Pn0~Pn7	IO	8 位双向 IO 端口	支持上下拉电阻, 支持中断唤醒
PWMn0/1	O	PWM 输出端口	支持同相或互补输出
TnO	O	TIMER 计数溢出翻转	计数溢出翻转
TnG	I	TIMER 计数门控管脚	
TnIN	I	TIMER 外部时钟输入	
CAP2	I	捕捉模式下为捕捉输入	
TX0	O	UART 发送端口	
RX0	I	UART 接收端口	
CKO	O	系统时钟输出	
IOINT0n	I	外部中断输入端口	支持睡眠唤醒

P0_FUN0 P00 和 P01 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P01_FUN<2:0>			—	P00_FUN<2:0>		

Bit7 保留

Bit6-4 **P01_FUN<2:0>**: P01 端口复用选择位 (参见端口复用表)

100: STP	101: T3IN/T3O	110: T3G	111: 保留
000: IO	001: PWM01	010: RX0	011: 保留

Bit3 保留

Bit2-0 **P00_FUN<2:0>**: P00 端口复用选择位 (参见端口复用表)

100: CAP2	101: T2IN/T2O	110: T3G	111: 保留
000: IO	001: PWM00	010: TX0	011: 保留

P0_FUN1 P02 和 P03 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P03_FUN<2:0>			—	P02_FUN<2:0>		

Bit7 保留

Bit6-4 **P03_FUN<2:0>**: P03 端口复用选择位 (参见端口复用表)

100: CAP2	101: T3IN/T3O	110: T3G	111: 保留
000: IO	001: PWM11	010: RX0	011: 保留

Bit3 保留

Bit2-0 **P02_FUN<2:0>**: P02 端口复用选择位 (参见端口复用表)

100: STP	101: T0O	110: CKO	111: 保留
000: IO	001: PWM10	010: TX0	011: 保留

P0_FUN2 P04 和 P05 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P05_FUN<2:0>			—	P04_FUN<2:0>		

Bit7 保留

Bit6-4 **P05_FUN<2:0>**: P05 端口复用选择位 (参见端口复用表)

100: T0O	101: T3IN/T3O	110: T3G	111: 保留
000: IO	001: PWM21	010: RX0	011: 保留

Bit3 保留

Bit2-0 **P04_FUN<2:0>**: P04 端口复用选择位 (参见端口复用表)

100: RX0	101: T2IN/T2O	110: T3G	111: 保留
000: IO	001: PWM20	010: TX0	011: 保留

P0_FUN3 P06 和 P07 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-000		
—	—	—	—	—	P06_FUN<2:0>		

Bit7-3 保留

Bit2-0 **P06_FUN<2:0>**: P06 端口复用选择位 (参见端口复用表)

100: T1O	101: T2IN/T2O	110: T3G/ACPO	111: 保留
000: IO	001: PWM00	010: TX0	011: 保留

P1_FUN0 P10 和 P11 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P11_FUN<2:0>			—	P10_FUN<2:0>		

Bit7 保留

Bit6-4 **P11_FUN<2:0>**: P11 端口复用选择位 (参见端口复用表)

100: CAP2	101: T2IN/T2O	110: T3G	111: 保留
000: IO	001: PWM11	010: RX0	011: 保留

Bit3 保留

Bit2-0 **P10_FUN<2:0>**: P10 端口复用选择位 (参见端口复用表)

100: CAP2	101: T3IN/T3O	110: T3G	111: 保留
000: IO	001: PWM10	010: TX0	011: 保留

P1_FUN1 P12 和 P13 端口复用选择寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			—	RW-000		
—	P13_FUN<2:0>			—	P12_FUN<2:0>		

Bit7 保留

Bit6-4 **P13_FUN<2:0>**: P13 端口复用选择位 (参见端口复用表)

100: CAP2 101: T3IN/T3O 110: T3G 111: 保留

000: IO 001: PWM21 010: RX0 011: 保留

Bit3 保留

Bit2-0 **P12_FUN<2:0>**: P12 端口复用选择位 (参见端口复用表)

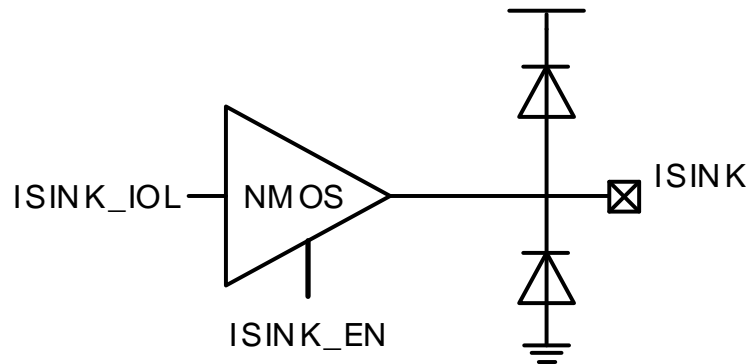
100: CAP2 101: T3IN/T1O 110: T3G 111: 保留

000: IO 001: PWM20 010: TX0 011: 保留

13 恒流灌电流 ISINK

13.1 描述

恒流输出，64 档位可配置，范围为 5mA~320mA。通过 ISINK_IOL 控制恒流灌电流，每个 STEP 为 5mA，最大支持 320mA 灌电流



图表 14 ISINK 功能框图

13.1 ISINK 寄存器

ISINK_IOLC ISINK 灌电流驱动力设置

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	—	RW-00_0000					
ISINK_EN	—	ISINK_IOL<5:0>					

- Bit7 ISINK_EN: ISINK 输出使能
 1: 使能(输出)
 0: 关闭(浮空)
- Bit6 保留
- Bit5-0 **ISINK_IOL <5:0>**: ISINK 端口灌电流设置
 $ISINK = 5mA + ISINK_IOL * 5mA$

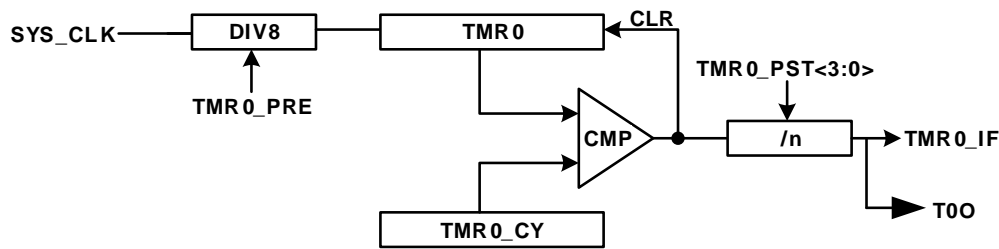
14 8 位定时器 TMR0

14.1 描述

TMR0 为内置 8 位定时器，使能后 TMR0 计数自动累加与 TMR0_CY 相等时产生溢出清零后继续计数，支持时钟 8 分频计数和后分频。

将 IO 配置成 T00 功能时，每次溢出 T00 输出翻转。

使能 TMR0_IE 和 INT1_IE 以及 GIE 后，当产生 TMR0_IF 可产生中断。



图表 15 TMR0 功能框图

14.2 TMR0 寄存器

TMR0_C0 TMR0 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	—	—	RW-0000			
TMR0_EN	TMR0_PRE	—	—	TMR0_PST<3:0>			

Bit7 **TMR0_EN**: TMR0 使能位

1: 使能

0: 关闭

Bit6 **TMR0_PRE**: TMR0 计数时钟 8 分频使能位

1: 使能

0: 关闭

Bit5-4 **保留**

Bit3-0 **TMR0_PST<3:0>**: TMR0 后分频位

TMR0 的 n 次溢出产生中断 ($n = \text{TMRn_POS<3:0>} + 1$)

TMR0 TMR0 计数寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR0<7:0>							

Bit7-0 **TMR0<7:0>**: TMR0 计数值

TMR0_CY TMR0 周期寄存器 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
TMR0_CY<7:0>							

Bit7-0 **TMR0_CY<7:0>**: TMR0 周期值

TMR_IE **TMR 中断使能寄存器** (与 TMR1、TMR3、TMR4 地址复用, 可触发 INT1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	TMR0_IE

Bit7-1 保留

Bit0 **TMR0_IE**: TMR0 中断使能位

1: TMR0 中断使能

0: TMR0 中断禁止

TMR_IF **TMR 中断标志寄存器** (与 TMR1、TMR3、TMR4 为地址复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	TMR0_IF

Bit7-1 保留

Bit0 **TMR0_IF**: TMR0 中断标志位

1: 有 TMR0 中断请求

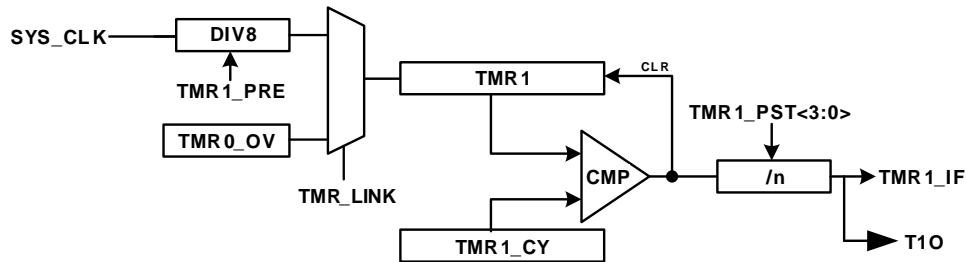
0: 无 TMR0 中断请求

15 8 位定时器 TMR1（支持级联 TMR0）

15.1 描述

TMR1 为内置 8 位定时器，使能后 TMR1 计数自动累加与 TMR1_CY 相等时产生溢出清零后继续计数，支持时钟 8 分频计数和后分频。可级联 TMR0 配置为 16 位定时器将 IO 配置成 TIO 功能时，TIO 可输出翻转。

使能 TMR1_IE 和 INT1_IE 以及 GIE 后，当产生 TMR1_IF 可产生中断。



图表 16 TMR1 功能框图

15.2 TMR1 寄存器

TMR1_C0 TMR1 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	—	RW-0000			
TMR1_EN	TMRn_PRE	TMR_LINK	—	TMR1_PST<3:0>			

- Bit7 **TMR1_EN**: TMR1 使能位
1: 使能
0: 关闭
- Bit6 **TMR1_PRE**: TMR1 计数时钟 8 分频使能位
1: 使能
0: 关闭
- Bit5 **TMR_LINK**: 与 TMR0_级联(TMR1 功能)
1: 级联 (TMR1 和 TMR0 预分频需要一致) ,计数溢出值为{TMR1_CY,TMR0_CY}+1
0: 单独运行
- Bit4 **保留**
- Bit3-0 **TMR1_PST<3:0>**: TMR1 后分频位
TMR1 的 n 次溢出产生中断 ($n = \text{TMRn_POS}<3:0> + 1$)

TMR1 TMR1 计数寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR1<7:0>							

- Bit7-0 **TMR1<7:0>**: TMR1 计数值

TMR1_CY TMR0 周期寄存器 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-1111_1111							
TMR1_CY<7:0>							

Bit7-0 **TMR1_CY<7:0>**: TMR1 周期值

TMR_IE TMR 中断使能寄存器 (与 TMR0, TMR3、TMR4 地址复用, 可触发 INT1)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	—
—	—	—	—	—	—	TMR1_IE	—

Bit7-2 保留

Bit1 **TMR1_IE**: TMR1 中断使能位

1: TMR1 中断使能

0: TMR1 中断禁止

Bit0 保留

TMR_IF TMR 中断标志寄存器 (与 TMR0, TMR3、TMR4 为地址复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	—
—	—	—	—	—	—	TMR1_IF	—

Bit7-2 保留

Bit1 **TMR1_IF**: TMR1 中断标志位

1: 有 TMR1 中断请求

0: 无 TMR1 中断请求

Bit0 保留

16 16 位定时/计数器 TMR3/4

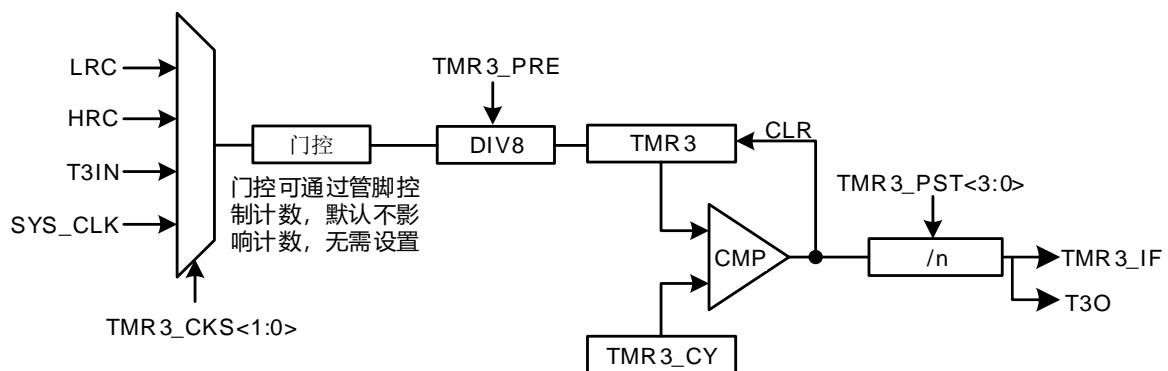
16.1 描述

TMR3/4 为内置 16 位定时/计数器，支持 4 个计数源，使能后 TMR3/4 计数自动累加与 TMR3_CY/TMR4_CY 相等时产生溢出清零后继续计数，支持时钟 8 分频计数和后分频。

将 IO 配置成 T3O/T4O 功能，T3O/T4O 可输出翻转。

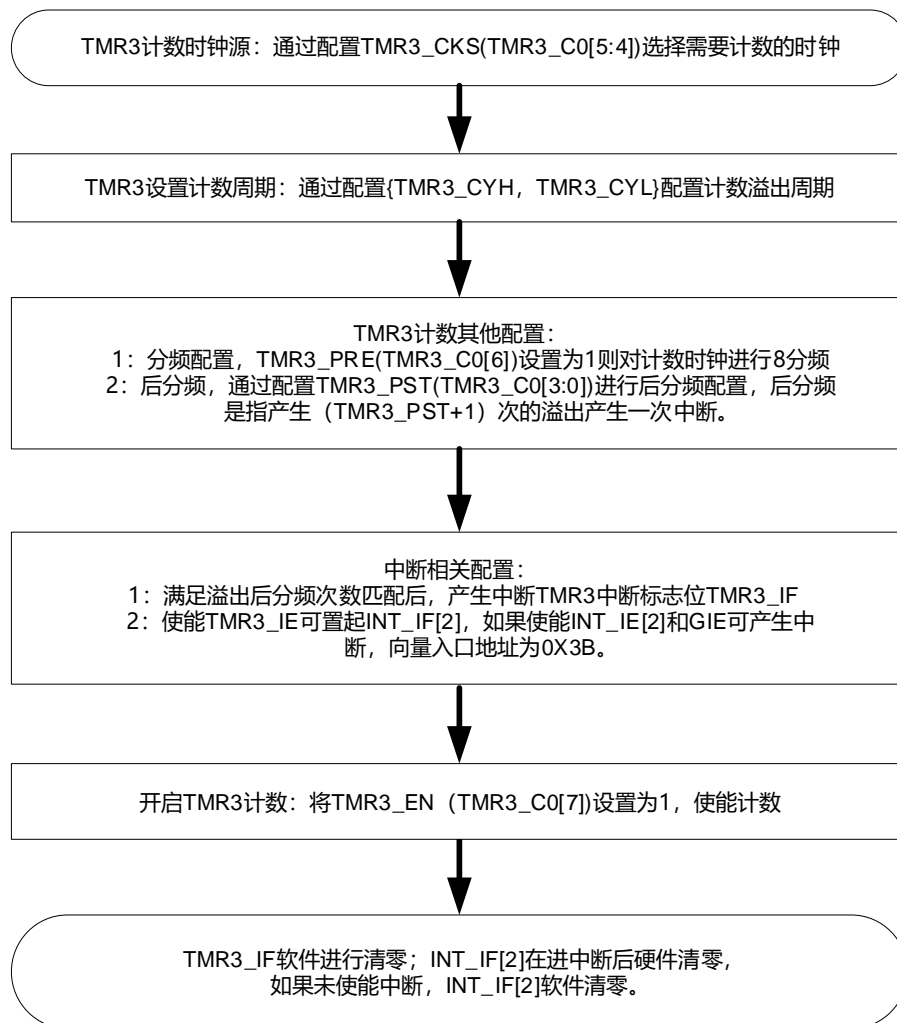
使能 TMR3_IE 和 INT2_IE 以及 GIE 后，当产生 TMR3_IF 可产生中断。

使能 TMR4_IE 和 INT3_IE 以及 GIE 后，当产生 TMR4_IF 可产生中断。



图表 17 TMR3 功能框图

16.2 TMR3/4 操作流程(TMR3 为例)



图表 18 TMR3 操作流程图

16.3 TMR3/4 寄存器

TMR3/4_C0 TMR3/4 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-00		RW-0000			
TMR3/4_EN	TMR3/4_PRE	TMR3/4_CKS<1:0>		TMR3/4_PST<3:0>			

- Bit7 **TMR3/4_EN**: TMR3/4 使能位
 1: 使能
 0: 关闭
- Bit6 **TMR3/4_PRE**: TMR3/4 计数时钟 8 分频使能位
 1: 使能
 0: 关闭
- Bit5-4 **TMR3/4_CKS<3:0>**: TMR3/4 计数时钟选择位
 10: HRC 内部高频时钟 11: 保留
 00: SYS_CLK 系统时钟源 01: T3/4IN 复用端口输入
- Bit3-0 **TMR3/4_PST<3:0>**: TMR3/4 后分频位
 TMR3/4 的 n 次溢出产生中断 ($n = \text{TMR3/4_PST}<3:0> + 1$)

TMR3/4_C1 TMR3/4 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-0	RW-0	—	—	—	—
—	—	TMR3/4_GS	TMR3/4_GE	—	—	—	—

- Bit7-6 **保留**
- Bit5 **TMR3/4_GS**: TMR3/4 门控极性选择位
 1: T3/4G 输入高电平计数
 0: T3/4G 输入低电平计数
- Bit4 **TMR3/4_GE**: TMR3/4 门控使能位
 1: 使能 (使能后需要根据 TMR3/4_GS 设置和 T3/4G 输入相对应是才可计数)
 0: 关闭 (关闭状态下 TMR 仅需使能 TMR3/4_EN 既可以计数)
- Bit3-0 **保留**

TMR3/4L TMR3/4 计数寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR3/4<7:0>							

- Bit7-0 **TMR3/4<7:0>**: TMR3/4 计数值低 8 位, 写时应先低位后高位; 读出时先高位后低位

TMR3/4H TMR3/4 计数寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR3/4<15:8>							

- Bit7-0 **TMR3/4<15:8>**: TMR3/4 计数值高 8 位, 写时应先低位后高位; 读出时先高位后低位

TMR3/4_CYL TMR3/4 周期寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR3/4_CY<7:0>							

Bit7-0 **TMR3/4_CY<7:0>**: TMR3/4 周期值低 8 位

TMR3/4_CYH TMR3/4 周期寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
TMR3/4_CY<15:8>							

Bit7-0 **TMR3/4_CY<15:8>**: TMR3/4 周期值高 8 位

TMR_IE TMR 中断使能寄存器 (与 TMR0, TMR1, 为地址复用, 可触发 INT2 或者 INT3)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	RW-0	—	—	—
—	—	—	TMR4_IE	TMR3_IE	—	—	—

Bit7-5 保留

Bit4 **TMR4_IE**: TMR4 中断使能位

1: TMR4 中断使能

0: TMR4 中断禁止

Bit3 **TMR3_IE**: TMR3 中断使能位

1: TMR3 中断使能

0: TMR3 中断禁止

Bit2-0 保留

TMR_IF TMR 中断标志寄存器 (与 TMR0, TMR1, 为地址复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	RW-0	RW-0	—	—	—
—	—	—	TMR4_IF	TMR3_IF	—	—	—

Bit7-4 保留

Bit4 **TMR4_IF**: TMR4 中断标志位

1: 有 TMR4 中断请求

0: 无 TMR4 中断请求

Bit3 **TMR3_IF**: TMR3 中断标志位

1: 有 TMR3 中断请求

0: 无 TMR3 中断请求

Bit2-0 保留

17 边沿捕捉器 CAP2 (不能与 PWM2 同时使用)

17.1 描述

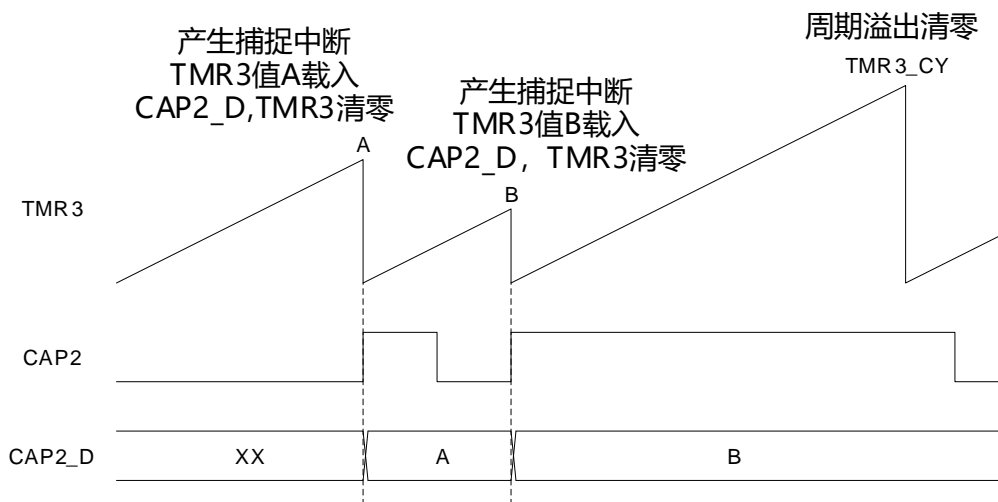
芯片内置 1 路边沿捕捉器 CAP2。

边沿捕捉器 CAP2，工作时需选定 TMR3 作为工作时基。

在产生捕捉中断时，硬件自动记录时基当前数值，存入{CAP2_DH,CAP2_DL}

捕捉清零模式

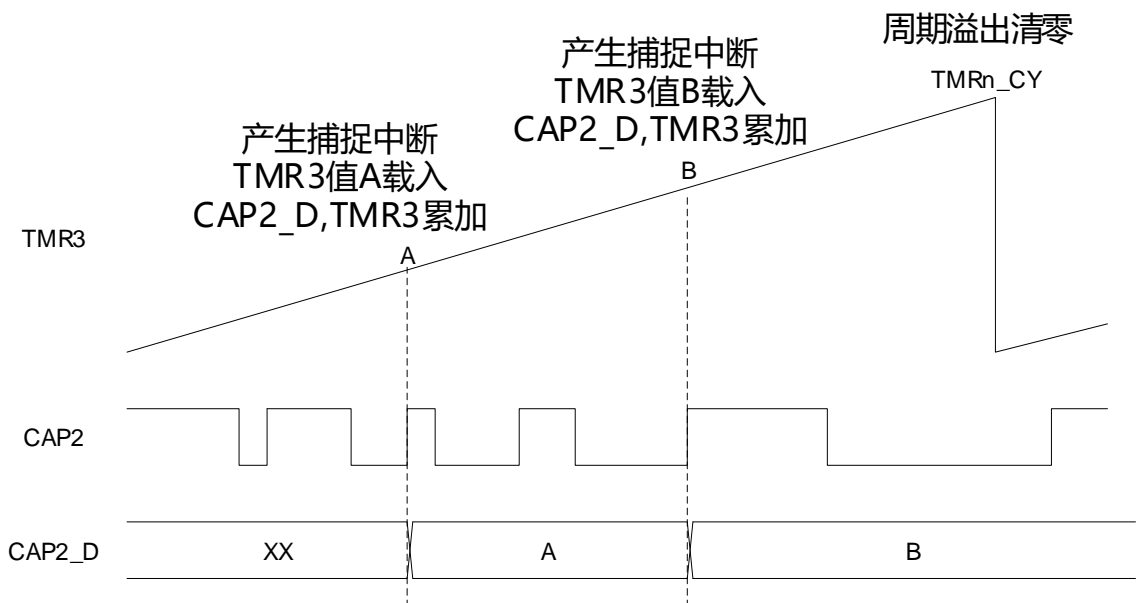
示例： $CAP_MOD<1:0>=11$ ， $CAP_EGS<1:0>=01$ ， $CAP_CNT<1:0>=00$



图表 19 捕捉清零模式示例波形图

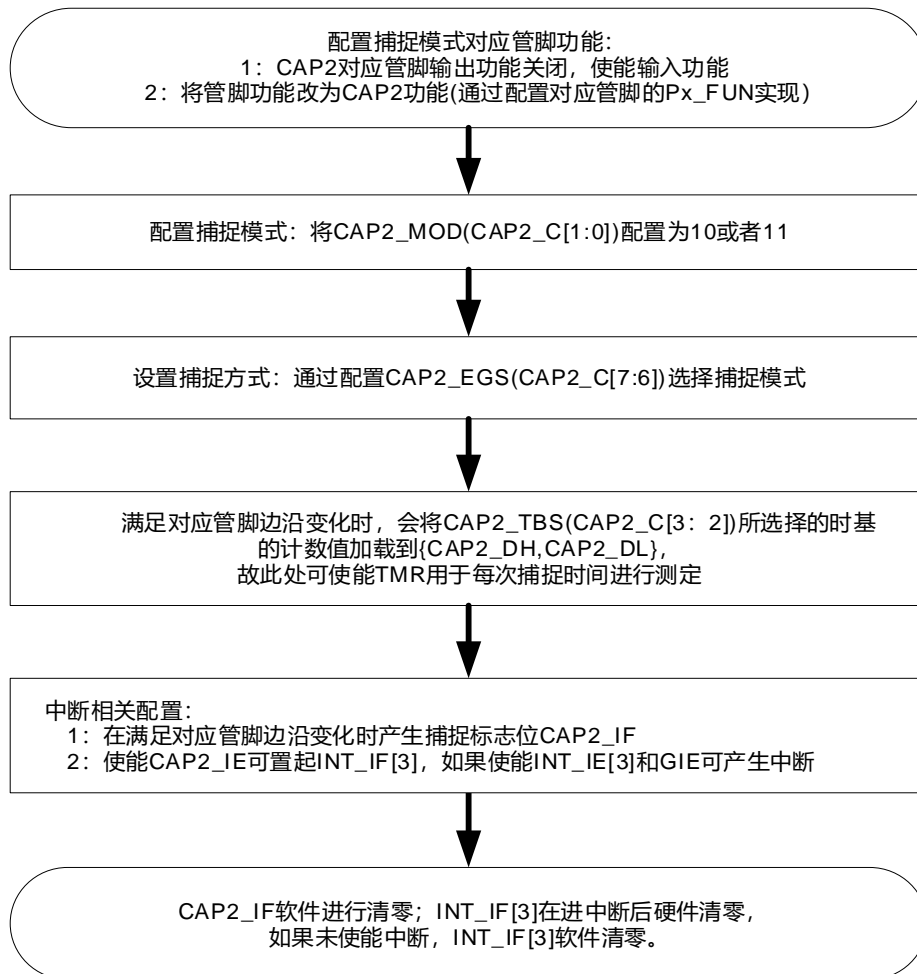
捕捉累加模式

示例： $CAP_MOD<1:0>=10$ ， $CAP_EGS<1:0>=11$ ， $CAP_CNT<1:0>=01$



图表 20 捕捉累加模式示例波形图

17.2 CAP 操作流程 (以 CAP2 为例)



图表 21 CAP 操作流程

17.3 CAP 寄存器

CAP2_C CAP 捕捉控制寄存器 (与 PWM2_C 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
CAP_EGS<1:0>		CAP_CNT<1:0>		CAP_TBS<1:0>		CAP_MOD<1:0>	

Bit7-6 **CAP_EGS<1:0>**: CAP 捕捉边沿选择位

- 11: 上升和下降沿都捕捉
- 10: 下降沿捕捉
- 01: 上升沿捕捉
- 00: 保留

Bit5-4 **CAP_CNT<1:0>**: CAP 捕捉边沿个数选择位

- 11: 16 个触发边沿产生 1 次捕捉事件
- 10: 8 个触发边沿产生 1 次捕捉事件
- 01: 4 个触发边沿产生 1 次捕捉事件
- 00: 1 个触发边沿产生 1 次捕捉事件

Bit3-2 **CAP_TBS<1:0>**: CAP 工作时基选择位

- 11: 保留
- 10: 保留
- 01: 选择 TMR4
- 00: 选择 TMR3

Bit1-0 **CAP_MOD<1:0>**: CAP 捕捉模式选择位

- 11: 捕捉清零模式 (捕捉事件发生时, 将时基 TMR 清零)
- 10: 捕捉累加模式 (捕捉事件发生时, 时基 TMR 继续累加)
- 01: 保留 (用于 PWM 模式)
- 00: 关闭

CAP2_C1 CAP 捕捉控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	—	—	—	—	—	—	—
CAP_SEL	—	—	—	—	—	—	—

Bit7 **CAP_SEL**: CAP 捕捉源选择

- 1: 选择接近模块的 ACP_O
- 0: 外部 CAP2 管脚

CAP2_DL CAP2 捕捉寄存器低 8 位 (与 PWM2_R0L 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
CAP2_D<7:0>							

Bit7-0 **CAP2_D<7:0>**: CAP 捕捉值低 8 位

CAP2_DH CAP2 捕捉寄存器高 8 位 (与 PWM2_R0H 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
CAP2_D<15:8>							

Bit7-0 **CAP2_D<15:8>**: CAP2 捕捉值高 8 位

CAP_IE CAP 中断使能寄存器 (与 PWM_IE 寄存器复用, 可触发 INT3)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IE	—	—

Bit7-3 保留

Bit2 **CAP2_IE**: CAP 中断使能位

1: 使能

0: 禁止

Bit1-0 保留

CAP_IF CAP 中断标志寄存器 (与 PWM_IF 寄存器复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	CAP2_IF	—	—

Bit7-3 保留

Bit2 **CAP2_IF**: CAP2 中断使能位

1: 有 CAP2 中断请求

0: 无 CAP2 中断请求

Bit1-0 保留

18 脉宽调制器 PWM

18.1 描述

芯片内置 3 路 12+3 位脉宽调制器 PWM0~PWM2。PWM 支持边沿对齐和中心对齐。

脉宽调制器 PWM 依靠 TMR 计数，工作时需选定一个 TMR 作为工作时基。在选择时基时，根据应用系统的需求，可多组 PWM 选择同一个 TMR 时基，也可分别选择不同的 TMR 时基。当选择同一 TMR 时基时，采用同一时基工作的多组 PWM 的输出频率是相同的。

PWM 周期

PWM 以所选定 TMR 作为时基进行工作，PWM 的周期即为所选定 TMR 的 TMRn_CY 寄存器所设定的计数周期。

PWM 匹配点

PWM 模块包含 1 组 12+3 位的匹配寄存器 PWMn_R0，且匹配寄存器各有 1 级缓冲器

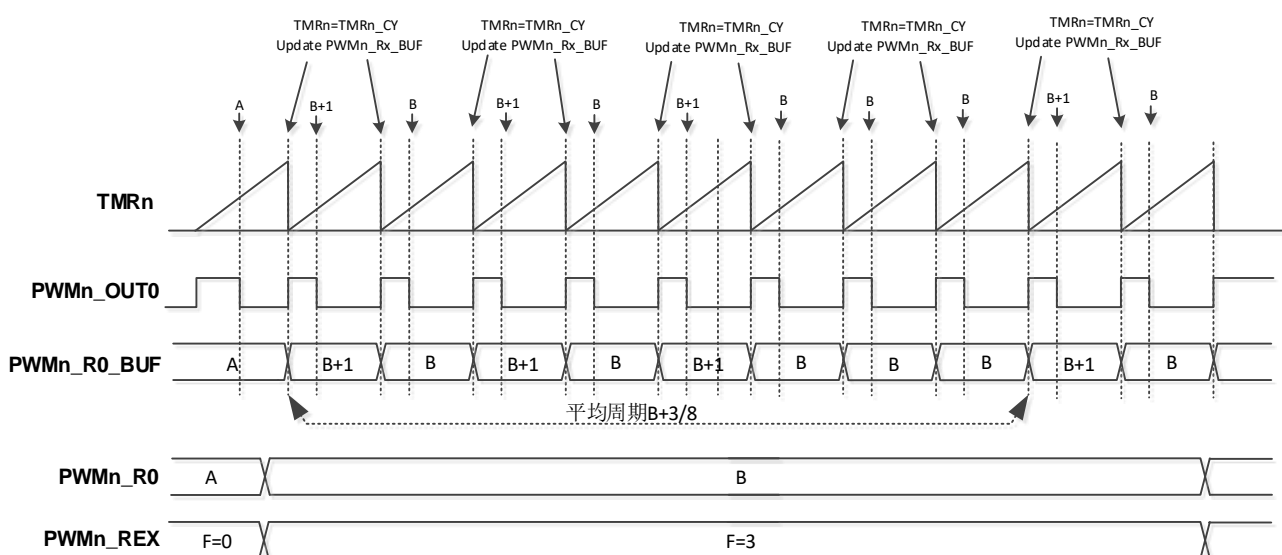
PWMn_R0_BUF 对应于 PWMn 的 1 路输出通道。当 PWM 关闭时，写匹配寄存器会同时将写入值更新到匹配缓冲器中；当 PWM 运行时，写匹配寄存器不会立即更新匹配缓冲器，而是在一个完整的 PWM 周期结束时才将匹配寄存器的内容更新到匹配缓冲器中。PWM 工作时，时基的计数值会实时和匹配缓冲器进行比较，当 PWM 时基计数值与匹配缓冲器值相等时，即为匹配点。用户可分别设定 PWM 周期内匹配点前和匹配点后的 PWM 输出电平。

PWM 输出初始态

当 PWM 模块不使能 PWM 波形输出初始态，用户可设定初始态的输出电平。当然，这个初始态的输出电平是否通过 PWM 复用端口输出，要取决于相应复用端口的设置。

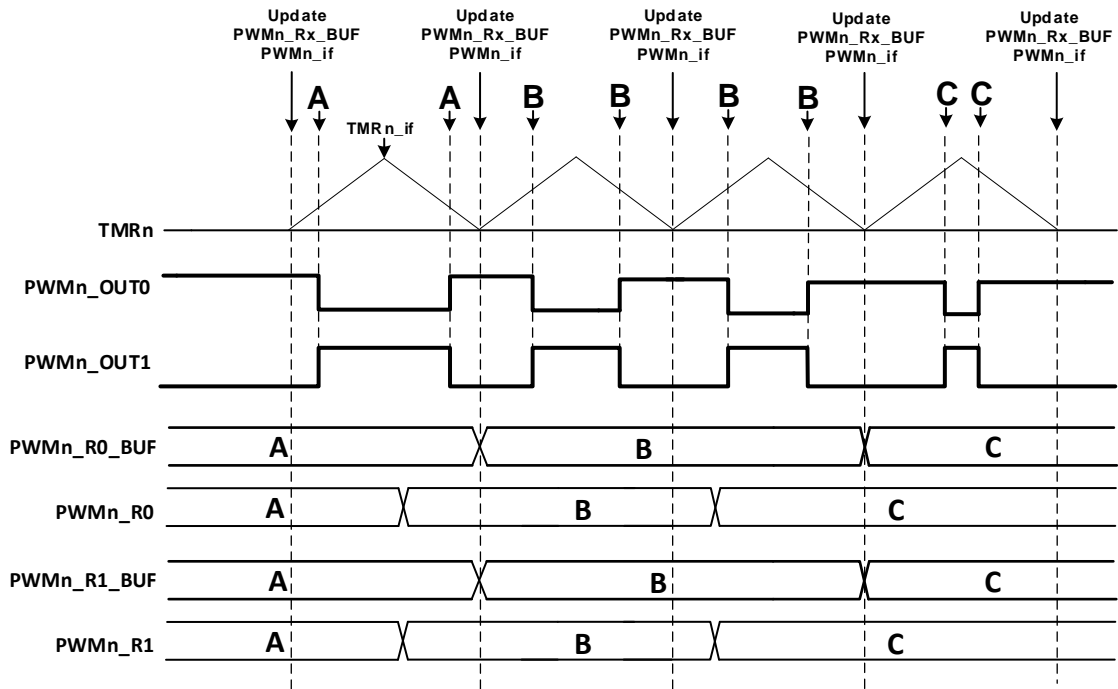
示例 1：边沿对齐，无死区，扩展设置为 3，设置如下：

PWMn_DT<7:0>=00H, PWMn0_T=0, PWMn0_P=1, PWMn_REX=3

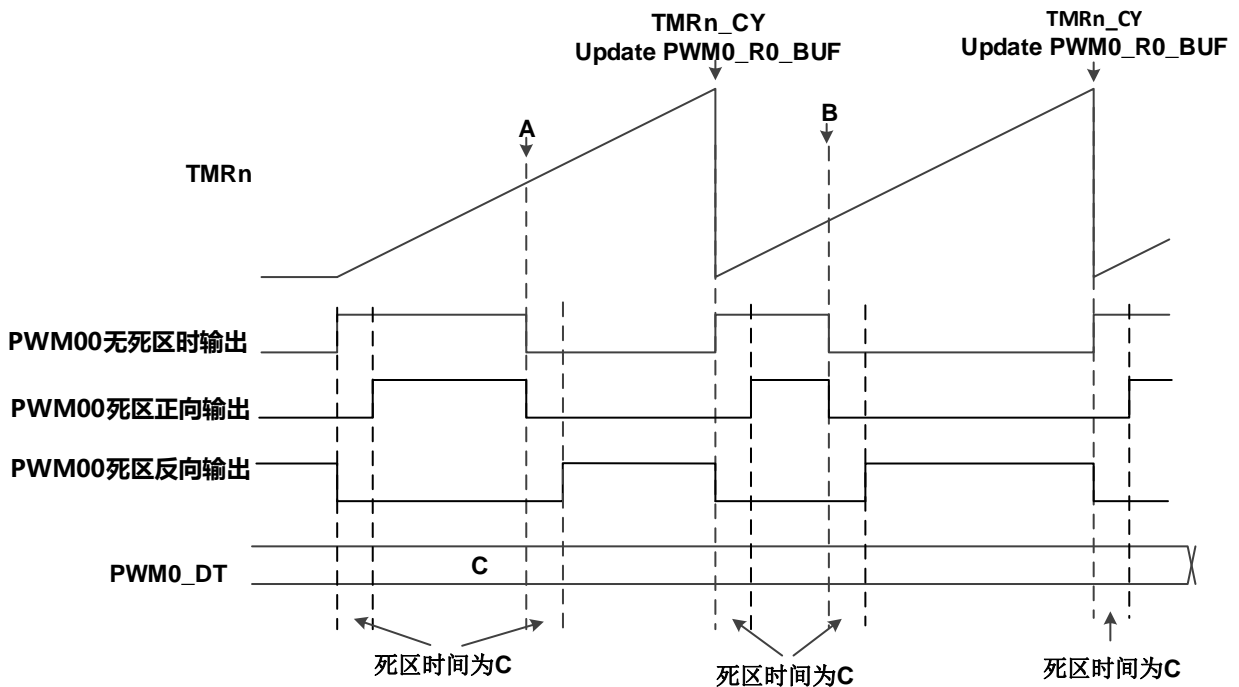


图表 22 PWM 边沿对齐工作示例波形图

示例 2：中心对齐，设置如下：

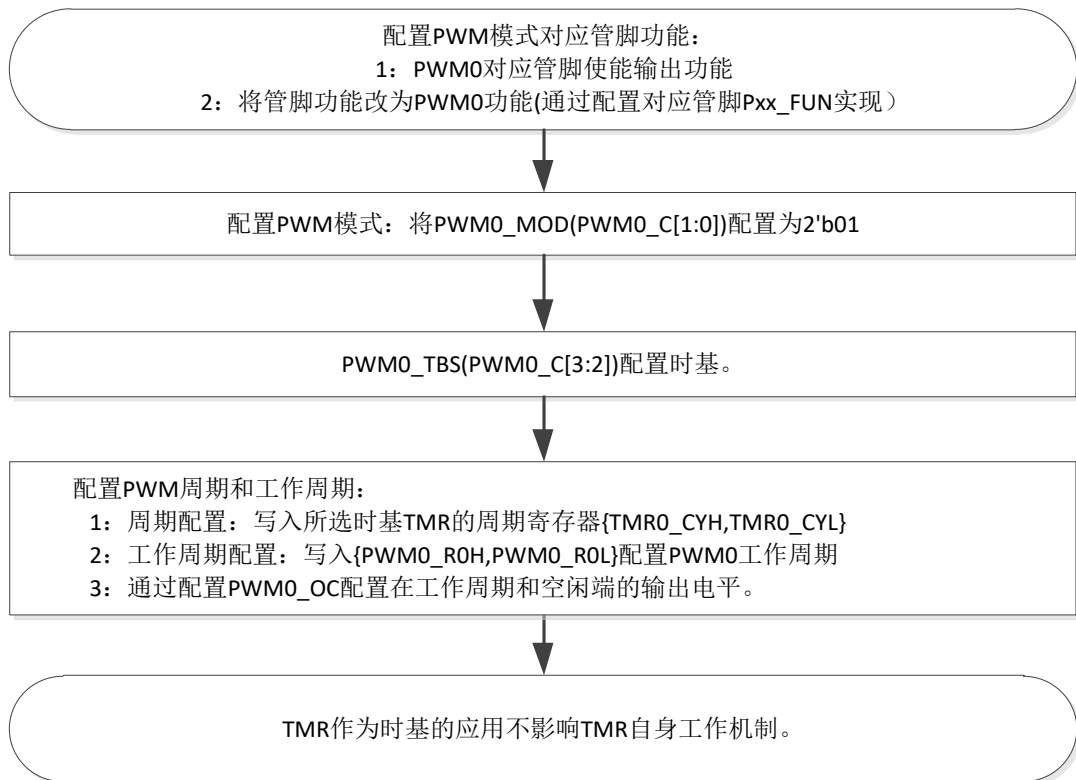


图表 23 PWM 中心对齐工作示例波形图



图表 24 PWM 边沿对齐死区工作示例波形图

18.2 PWM 操作流程 (以 PWM0 为例)



图表 25 PWM 操作流程图

18.3 PWM 寄存器

PWMn_C0 PWMn 控制寄存器 0 (与 CAP_C 寄存器复用)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00		RW-00		RW-00	
PWMn_SPS <1:0>		PWM_MD <1:0>		PWMn_TBS <1:0>		PWMn_MOD <1:0>	

Bit7-6 **PWMn_SPS**<1:0>: PWMn 刹车模式选择位 (刹车后 PWM 模式关闭, 需要软件启动)

11: 软件刹车 (写 “11” 立即进入刹车状态)

10: ACPO 刹车

01: STP 复用端口输入低电平刹车

00: 关闭刹车功能

Bit5-4 **PWM_MD**<1:0>

11: 保留

10: 保留

01: 中心对齐模式 (仅时基选择成 TMR3 时支持)

00: 边沿对齐模式

Bit3-2 **PWMn_TBS**<1:0>: PWMn 工作时基选择位

11: 保留

01: TMR1 和 TMR0 开启级联时 (PWM 周期为{ TMR1,TMR0}) ,
没有级联时为 TMR0 为时基(TMR0 作为时基时只能做 8 位精度 PWM)

10: 选择 TMR4

00: 选择 TMR3

Bit1-0 **PWMn_MOD**<1:0>: PWMn 模式选择位

1x: 保留

01: PWM 模式

00: 关闭

PWMn_C1 PWMn 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0	RW-0	RW-0	RW-1
—	—	—	—	PWMn1_T	PWMn0_T	PWMn1_P	PWMn0_P

Bit7-4 保留

Bit3 **PWMn1_T**: PWMn 通道 1 输出初始态选择位

1: 输出高电平

0: 输出低电平

Bit2 **PWMn0_T**: PWMn 通道 0 输出初始态选择位

1: 输出高电平

0: 输出低电平

Bit1 **PWMn1_P**: PWMn 通道 1 输出配置

1: 反向输出 (匹配点前输出值 0, 匹配点后输出 1)

0: 正向输出 (匹配点前输出值 1, 匹配点后输出 0)

Bit0 **PWMn0_P**: PWMn 通道 0 输出配置

1: 反向输出 (匹配点前输出值 0, 匹配点后输出 1)

0: 正向输出 (匹配点前输出值 1, 匹配点后输出 0)

PWMn_R0L PWMn 匹配点寄存器低 8 位 (与 CAP_DL 寄存器复用) 写入先高后低

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
PWMn_R0<7:0>							

Bit7-0 **PWMn_R0<7:0>**: PWMn0 占空比低 8 位**PWMn_R0H PWMn 匹配点寄存器高 8 位 (与 CAP_DH 寄存器复用)**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-000			RW-0000			
—	PWMn_REX<2:0>			PWMn_R0<11:8>			

Bit7 保留

Bit6-4 **PWMn_REX<2:0>**: PWMn 平均占空比扩展位Bit7-0 **PWMn_R0<15:8>**: PWMn0 占空比高 8 位**PWMn_R1L PWMn 匹配点寄存器低 8 位, 写入先高后低**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
PWMn_R1<7:0>							

Bit7-0 **PWMn_R1<7:0>**: PWMn1 占空比低 8 位

PWMn_R1H PWMn 匹配点寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	RW-0000			
PWMn_R1<11:8>							

Bit7-4 保留

Bit3-0 **PWMn_R1**<11:8>: PWMn1 占空比高 4 位**PWMn_DT PWMn 输出控制寄存器**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
PWMn_DT<7:0>							

Bit7-0 **PWMn_DT**<7:0>: 死区延时时间**PWM_IE PWM 中断使能寄存器 (与 CAP_IE 寄存器复用, 可触发 INT3)**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IE	STP1_IE	STP0_IE	—	PWM2_IE	PWM1_IE	PWM0_IE

Bit7 保留

Bit6 **STP2_IE**: PWM2 刹车中断使能位
 1: 使能
 0: 禁止

Bit5 **STP1_IE**: PWM1 刹车中断使能位
 1: 使能
 0: 禁止

Bit4 **STP0_IE**: PWM0 刹车中断使能位
 1: 使能
 0: 禁止

Bit3 保留

Bit2 **PWM2_IE**: PWM2 周期中断使能位
 1: 使能
 0: 禁止

Bit1 **PWM1_IE**: PWM1 周期中断使能位
 1: 使能
 0: 禁止

Bit0 **PWM0_IE**: PWM0 周期中断使能位
 1: 使能
 0: 禁止

PWM_IF PWM 中断标志寄存器 (与 CAP_IF 寄存器复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	RW-0	RW-0	RW-0	—	RW-0	RW-0	RW-0
—	STP2_IF	STP1_IF	STP0_IF	—	PWM2_IF	PWM1_IF	PWM0_IF

Bit7	保留
Bit6	STP2_IF : PWM2 刹车中断标志位 1: 有 PWM2 刹车中断请求 0: 无 PWM2 刹车中断请求
Bit5	STP1_IF : PWM1 刹车中断标志位 1: 有 PWM1 刹车中断请求 0: 无 PWM1 刹车中断请求
Bit4	STP0_IF : PWM0 刹车中断标志位 1: 有 PWM0 刹车中断请求 0: 无 PWM0 刹车中断请求
Bit3	保留
Bit2	PWM2_IF : PWM2 周期中断标志位 1: 有 PWM2 周期中断请求 0: 无 PWM2 周期中断请求
Bit1	PWM1_IF : PWM1 周期中断标志位 1: 有 PWM1 周期中断请求 0: 无 PWM1 周期中断请求
Bit0	PWM0_IF : PWM0 周期中断标志位 1: 有 PWM0 周期中断请求 0: 无 PWM0 周期中断请求

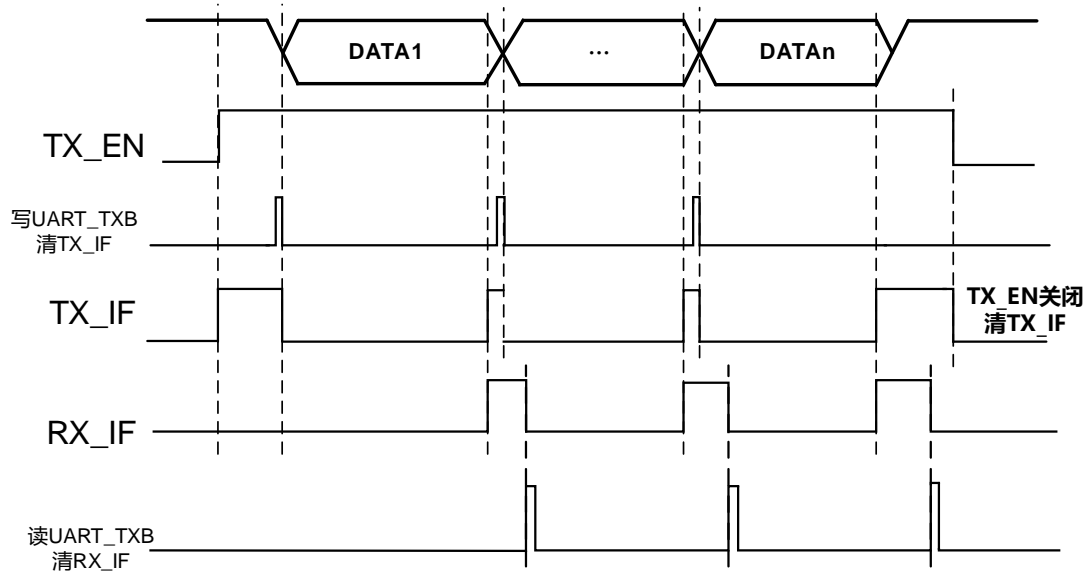
19 UART 异步收发器

19.1 描述

芯片内置 1 路 UART 异步收发器，功能特性如下：

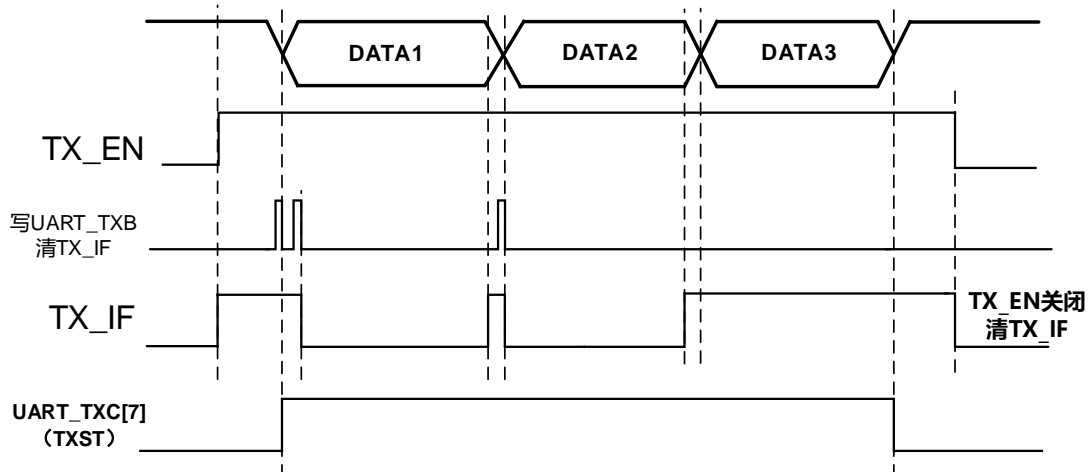
- 支持 8/9 数据传输，支持 1/2STOP 位
- 内部使用 16 次采样，特殊设计，波特率特殊计算方式等同于支持小数分频
- 支持通信溢出错误检测，支持奇偶自动校验
- UART 发送标志位通过写发送寄存器清除，软件无法直接清除，UART 接收寄存器通过读取接收寄存器清除，软件无法直接清除

UART 通讯中断机制（发送使用空闲中断）



图表 26 UART 通讯中断机制 1

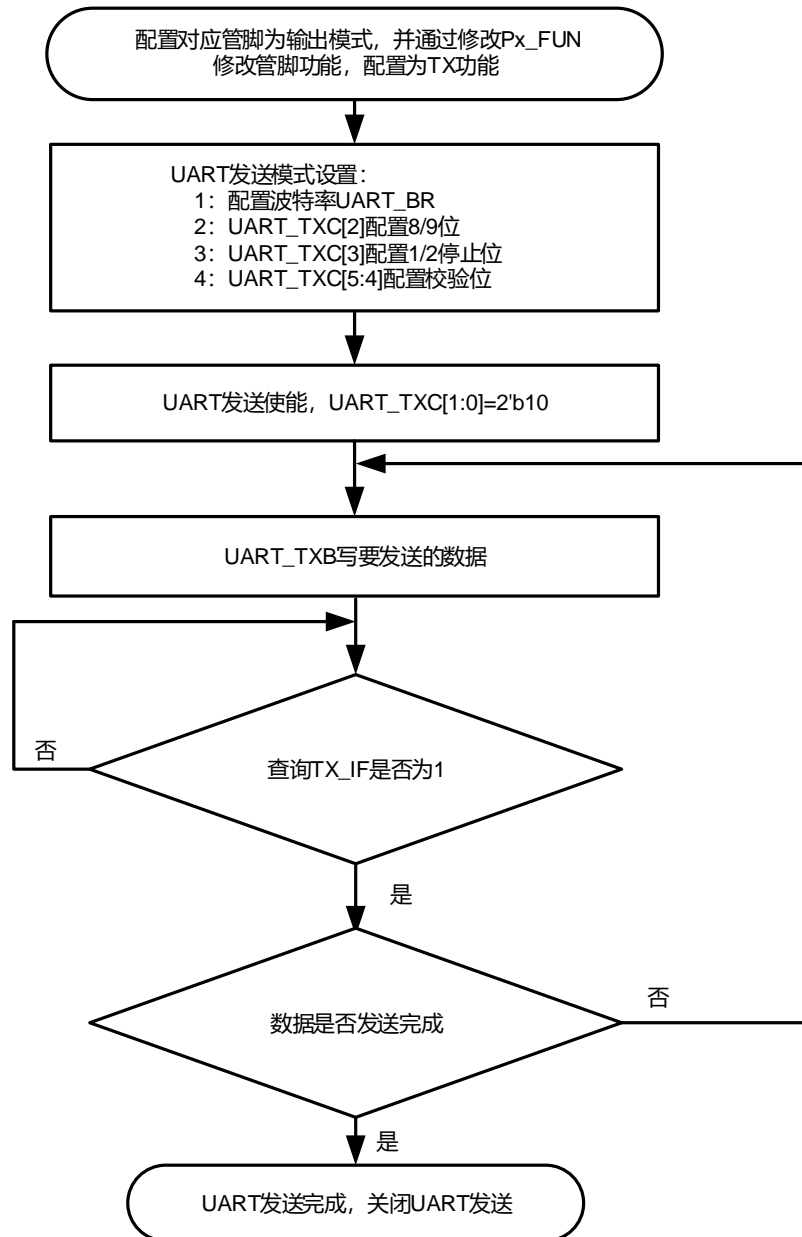
UART 通讯中断机制（发送使用寄存器空中断）



图表 27 UART 通讯中断机制 2

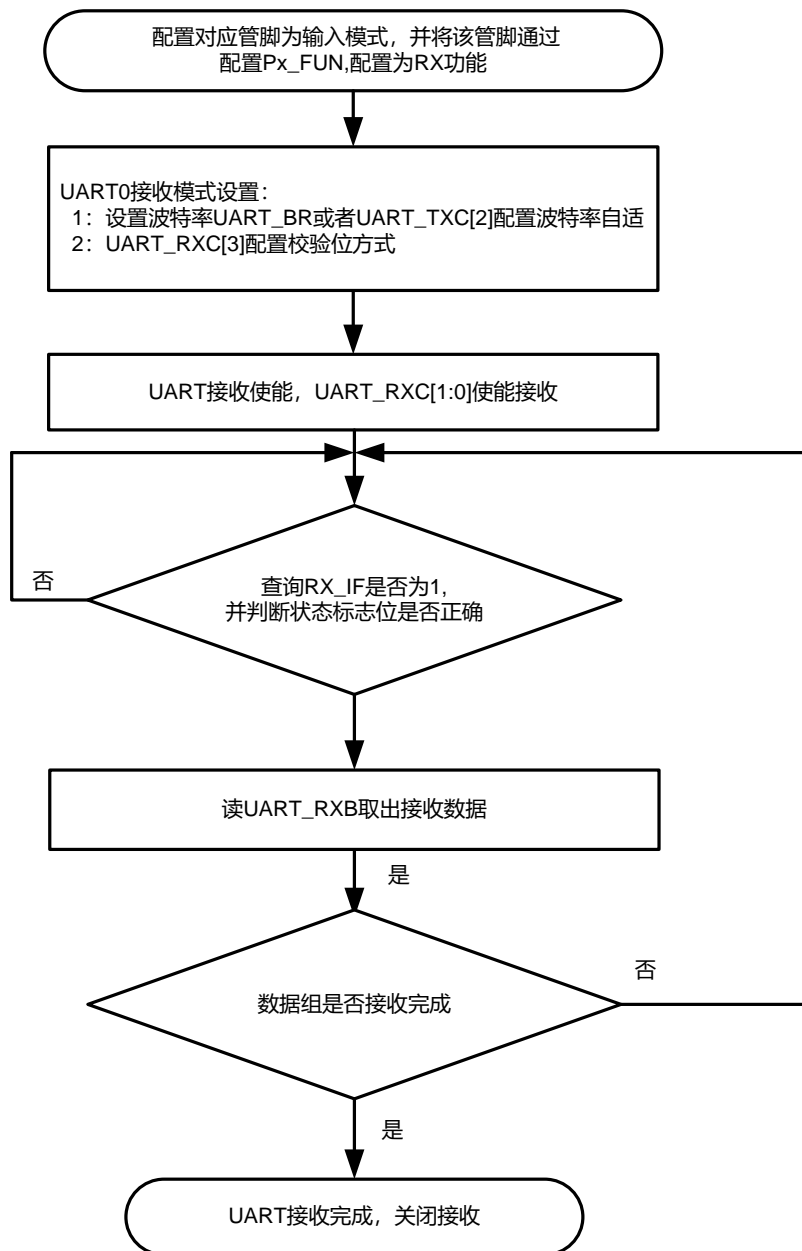
19.2 UART 操作流程图

UART 发送操作流程 (发送空闲中断模式)



图表 28 UART 发送操作流程图

UART 接收操作流程



图表 29 UART 接收操作流程

19.3 UART 寄存器

UART0_BRL UART0 波特率寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
UART_BRR<7:0>							

Bit7-0 **UART_BRR<7:0>**: UART 波特率低 8 位

波特率计算公式: 波特率=系统时钟/(UART_BRR+1)

UART0_BRH UART0 波特率寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
UART_BRR<15:8>							

Bit7-0 **UART_BRR<15:8>**: UART 波特率高 8 位

波特率计算公式: 波特率=系统时钟/(UART_BRR+1)

UART0_RXC UART0 接收控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-0	R-0	R-0	R-0	RW-0	RW-0	RW-0	RW-0
FERR	OERR	PERR	RX9D	PARS	BRFX	RXEN<1:0>	

Bit7 **FERR**: UARTn 接收帧错误标志位

1: 有帧错误

0: 无帧错误

Bit6 **OERR**: UARTn 接收溢出错误标志位

1: 有溢出错误

0: 无溢出错误

Bit5 **PERR**: UARTn 接收校验错误标志位 (仅在 **RXEN<1:0>**=11 时有效)

1: 有校验错误

0: 无校验错误

Bit4 **RX9D**: UARTn 接收第 9 位数据

Bit3 **PARS**: 奇偶校验选择位

1: 偶校验

0: 奇校验

Bit2 保留

Bit1-0 **RXEN<1:0>**: UARTn 接收使能位

11: 使能 9 位数据接收 (影响奇偶校验标志 **PERR**)

10: 使能 9 位数据接收 (不影响奇偶校验标志 **PERR**)

01: 使能 8 位数据接收 (不影响奇偶校验标志 **PERR**)

10: 关闭 RX 接收功能

UART0_RXB UART0 接收数据寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
RXB<7:0>							

Bit7-0 **RXB<7:0>**: UART0 接收数

UART0_TXC UART0 发送控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-0	R-0	RW-00		RW-0	RW-0	RW-00	
TXST	TXBF	TX9S<1:0>		STPS	TXDM	TXEN<1:0>	

- Bit7 **TXST**: UART 发送状态标志位
 1: UART 发送未完成
 0: UART 发送已完成
- Bit6 **TXBF**: UART 发送缓冲区满标志位
 1: UART 发送缓冲区满
 0: UART 发送缓冲区空
- Bit5-4 **TX9S<1:0>**: UART 发送第 9 位数据格式选择位
 11: 发送数据 1
 10: 发送数据 0
 01: 发送偶校验
 00: 发送奇校验
- Bit3 **STPS**: 发送 STOP 位长度选择位
 1: 发送 2 位 STOP 位
 0: 发送 1 位 STOP 位
- Bit2 **TXDM**: UARTn 发送数据格式选择位
 1: 9 位数据
 0: 8 位数据
- Bit1-0 **TXEN<1:0>**: UART 发送使能位
 11: 使能, 发送空闲和发送寄存器空均产生中断
 10: 使能, 发送空闲产生中断
 01: 使能, 发送寄存器空产生中断
 00: 关闭

UART_IE UART 中断使能寄存器 (可触发 INT5)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IE	RX0_IE

- Bit7-2 保留
- Bit1 **TX0_IE**: UART0 发送中断使能位
 1: 使能
 0: 禁止
- Bit0 **RX0_IE**: UART0 接收中断使能位
 1: 使能
 0: 禁止

UART_IF UART 中断标志寄存器（本寄存器支持位操作）

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	TX0_IF	RX0_IF

Bit7-2 保留

Bit1 **TX0_IF**: UART0 发送中断标志位

1: 有 UART0 发送中断请求

0: 无 UART0 发送中断请求

Bit0 **RX0_IF**: UART0 接收中断标志位

1: 有 UART0 接收中断请求

0: 无 UART0 接收中断请求

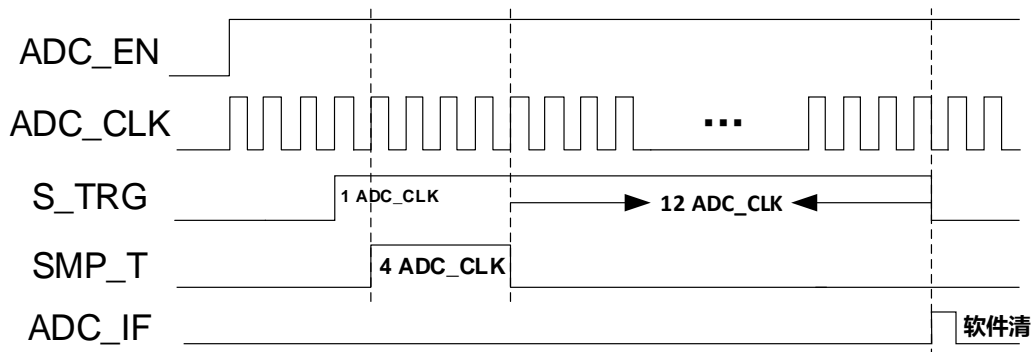
20 模数转换器 ADC

20.1 描述

芯片内置 12 位 SAR 结构 ADC，最高采样率 100KHz。

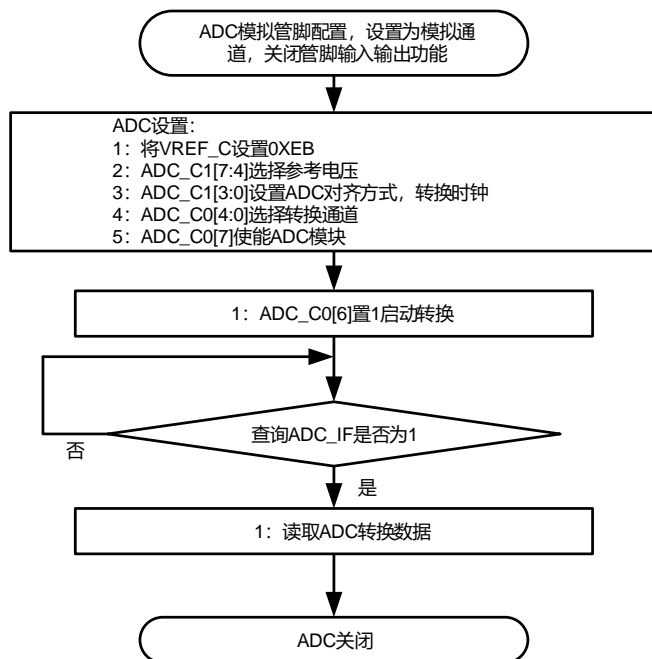
- 支持 10 个外部采样通道 AN0~AN9
- 支持内部 1/4 VDD 检测通道
- 两路运放输入
- 转换时间为 12 个 ADC_CLK 加上 SMP_T(默认设置为 4 个 ADC_CLK),加上启动约 1 个 CLK 时间默认情况下转换为 17 个 ADC_CLK

ADC 转换时序图



图表 30 ADC 转换时序图

20.2 ADC 操作流程



图表 31 ADC 操作流程

20.3 ADC 寄存器

ADC_C0 ADC 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	—	—	RW-1111			
ADC_EN	S_TRG	—	—	CH_SEL<3:0>			

- Bit7 **ADC_EN**: ADC 使能位
 1: 使能
 0: 关闭
- Bit6 **S_TRG**: ADC 软件触发位
 1: 触发 ADC 转换
 0: 转换完成 (硬件自动清 0)
- Bit5-4 保留
- Bit3-0 **CH_SEL<3:0>**: ADC 采样通道选择位

其他 : 所有通道关闭
 1011: 选择内部 1/4 VDD 通道
 1010: 选择 OPA10_ADC 通道
 1001: 选择通道 AN9
 1000: 选择通道 AN8

 0001: 选择通道 AN1
 0000: 选择通道 AN0

ADC_C1 ADC 控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000				—	RW-0	RW-00	
VREF_S<3:0>				—	ADC_DM	ADC_CKS<1:0>	

- Bit7-4 **VREFP_S<3:0>**: ADC 参考选择 (使用 VREF 需要先开启 VREF)
 1010: 选择内部 1/4 VDD
 1001: 选择内部 VREF 1.5V
 1000: 选择内部 VREF 2.048V
 0010: 选择内部 VDD
 0000: 关闭
 0001: ADVP 复用端口输入参考
- Bit3 保留
- Bit2 **ADC_DM**: ADC 转换数据格式选择位
 1: 左对齐 (结果放置{**ADC_DH<7:0>**, **ADC_DL<7:4>**})
 0: 右对齐 (结果放置{**ADC_DH<3:0>**, **ADC_DL<7:0>**})
- Bit1-0 **ADC_CKS<1:0>**: ADC 转换时钟 ADC_CLK 选择位
 11: 系统时钟 SYS_CLK 16 分频
 10: 系统时钟 SYS_CLK 8 分频
 01: 系统时钟 SYS_CLK 4 分频
 00: 系统时钟 SYS_CLK 2 分频

ADC_C2 ADC 控制寄存器 2

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-00		—	RW-011		
—	—	ADC_CNT<1:0>		—	SMP_T<2:0>		

Bit7-6 保留

Bit5-4 **ADC_CNT<1:0>**: ADC 转换次数选择位

11: 8 次转换取平均 10: 4 次转换取平均

01: 2 次转换取平均 00: 1 次转换

Bit3 固定写 1

Bit2-0 **SMP_T<2:0>**: ADC 采样时间控制位

采样时间 $T_{SAMPLE} = (SMP_T<2:0> + 1) \times T_{ADC_CLK}$

ADC_C3 ADC 控制寄存器 3

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	—	RW-00		RW-01		RW-0	RW-0
CNV_AUTO	—	RD_SP<1:0>		BUF_CLK_S<1:0>		CLK_REV	CLK_DIV1

Bit7 **CNV_AUTO**: 自动选择通道转换

1: 使能 (通道数自动加 1, 转换通道数为 ADC_CNT 设置值, 最大 4 个通道; ADC_CNT 设置为 0 时代表转换一个通道, ADC_CNT 设置为 3 时, 代表转换 4 个通道。)

0: 禁止

Bit6 保留

Bit5-4 **RD_SP<1:0>**: ADC 读出指针 (CNV_AUTO 等于 0 时, 读取 ADC_D<11:0>始终读到第一通道转换结果, CNV_AUTO 等于 1 时, 每次读高位 ADC_DH 时指针加 1, 这样情况下可连续读到 4 个通道转换值)

11: 自动转换第四通道

10: 自动转换第三通道

01: 自动转换第二通道

00: 自动转换第一通道 (自动转换通道为程序设定通道)

Bit3-2 **BUF_CLK_S<1:0>**: ADC buf clk 设置

00: for ADC_CLK below 2MHz

01: for ADC_CLK = 4MHz

10: for ADC_CLK = 8MHz

11: for ADC_CLK = 16MHz

Bit1 **CLK_REV**: SAMPLE CLK 取反

1: 使能

0: 禁止

Bit0 **CLK_DIV1**: 时钟 1 分频

1: 使能

0: 禁止

ADC_C4 ADC 控制寄存器 4

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	—	RW-0	RW-00000				
ADC_MSB_CAL	—	OS_CAL_EN	ADC_OS_CAL<4:0>				

Bit7 **ADC_MSB_CAL**: 高位校准(设计中进去取反操作, 到接口默认要为 1)

1: 关断

0: 开启

Bit6 保留

Bit5 **OS_CAL_EN**: 校准使能

1: 使能, ADC_IN 连接至 VREFN

0: 禁止

Bit4-0 **ADC_OS_CAL<4:0>**: ADC 校准 (默认 00000)

-15lsb~15lsb

ADC_DL ADC 结果寄存器低 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
ADC_DL<7:0>							

Bit7-0 **ADC_DL<7:0>**: ADC 结果寄存器低 8 位

ADC_DH ADC 结果寄存器高 8 位

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
ADC_DH<7:0>							

Bit7-0 **ADC_DH<7:0>**: ADC 结果寄存器高 8 位

AN_IE 模拟中断使能寄存器(与 LVD 中断寄存器复用, 可触发 INT4)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	ADC_IE

Bit7-1 保留

Bit0 **ADC_IE**: ADC 中断使能位

1: 使能

0: 禁止

AN_IF 模拟中断标志寄存器 (与 LVD 中断寄存器复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	—	RW-0
—	—	—	—	—	—	—	ADC_IF

Bit7-1 保留

Bit0 **ADC_IF**: ADC 中断标志位

1: 有 ADC 中断请求

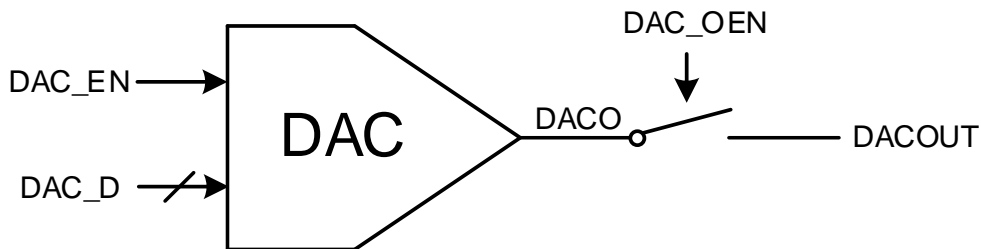
0: 无 ADC 中断请求

21 数模转换器 DAC

21.1 描述

芯片内置 8 位 DAC，建立时间为 10us。

- 输出范围为 $DACO = (VDD/256) * DAC_D$
- 支持输出到模拟比较器 ACPN 或者输出至端口 DACOUT。



21.2 DAC 寄存器

DAC_C0 DAC 控制寄存器 0 (IR_C1 同一地址)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	RW-0
—	—	—	—	—	—	DAC_OEN	DAC_EN

Bit7-2 保留

Bit1 **DAC_OEN**: DAC 输出到端口使能位

1: 使能

0: 关闭

Bit0 **DAC_EN**: DAC 使能位

1: 使能

0: 关闭, DACO 为高阻

DAC_D DAC 数字码

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0000_0000							
DAC_D<7:0>							

Bit7-0 **DAC_D<7:0>**: DAC 数字码

$DACO = (VDD/256) * DAC_D$

22.2 接近感应寄存器

IR_C0 接近感应控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-00		RW-000		
OPA1EN	OPA0EN	ACPEN	IR_INTS<1:0>		ACP_FLT<2:0>		

- Bit7 **OPA1EN**: OPA1 使能位
 1: 使能
 0: 关闭
- Bit6 **OPA0EN**: OPA0 使能位
 1: 使能
 0: 关闭
- Bit5 **ACPEN**: ACP 使能位
 1: 使能
 0: 关闭
- Bit4-3 **ACP_INTS<1:0>**: 模拟比较器中断形式选择位
 11: 双沿中断
 10: 下降沿产生中断
 01: 上升沿产生中断
 00: 电平中断
- Bit2-0 **ACP_FLT<2:0>**: 模拟比较器输出滤波
 111: 128*SYS_CLK 110: 64*SYS_CLK
 101: 32*SYS_CLK 100: 16*SYS_CLK
 011: 8*SYS_CLK 010: 4*SYS_CLK
 001: 2*SYS_CLK 000: 无滤波

IR_C1 接近感应控制寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
R-0	R-0	RW-00		RW-00		—	R-0
OPA1_CO	OPA0_CO	ACP_HYS<1:0>		CTRL_PUMP_VOL<1:0>		—	ACP_O

- Bit7 **OPA1_CO**: OPA1 校准输出
- Bit6 **OPA0_CO**: OPA0 校准输出
- Bit5-4 **ACP_HYS<1:0>**: ACP 迟滞控制位
 11: 68mv 10: 56mv
 00: 无迟滞 01: 30mv
- Bit3-2 **CTRL_PUMP_VOL<1:0>**: 内部设计 LDO 输出电压控制 (不对外开放)
- Bit1 **保留**
- Bit0 **ACP_O**: ACP 比较结果输出
 1: 正端电压>负端电压
 0: 正端电压<负端电压

IR_CLK_C0 接近感应时钟分频寄存器 1

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0100_1111							
IR_CLK_DIV<7:0>							

Bit7-0 **IR_CLK_DIV<7:0>**: IR 模块时钟分频器, 需要根据主时钟变化分频到 100K 的时钟分频时钟等于 SYS_CLK/ (IR_CLK_DIV+1)

IR_SWA 开关控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
IR_SW7	IR_SW6	IR_SW5	IR_SW4	IR_SW3	IR_SW2	IR_SW1	IR_SW0

Bit7-0 **IR_SWn**: SW 开关控制位 (n=0~7)
 1: 开启
 0: 关断

IR_SWB 开关控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
IR_SW15	IR_SW14	IR_SW13	IR_SW12	IR_SW11	IR_SW10	IR_SW9	IR_SW8

Bit7-0 **IR_SWn**: SW 开关控制位 (n=8~15)
 1: 开启
 0: 关断

IR_SWC 开关控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
IR_SW23	IR_SW22	IR_SW21	IR_SW20	IR_SW19	IR_SW18	IR_SW17	IR_SW16

Bit7-0 **IR_SWn**: SW 开关控制位 (n=16~23)
 1: 开启
 0: 关断

IR_SWD 开关控制寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
—	—	IR_SW29	IR_SW28	IR_SW27	IR_SW26	IR_SW25	IR_SW24

Bit7-0 **IR_SWn**: SW 开关控制位 (n=24~29)
 1: 开启
 0: 关断

OPA0_CAL 运放 0 校准寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00_0000					
OPDA0OFM<1:0>		OPA0_OFS<5:0>					

Bit7-6 **OPDA0OFM<1:0>**: OPA0 校准模式使能

- 11: 反相输入端校准模式
- 10: 同相输入端校准模式
- 0x: 正常模式

Bit5-0 **OPA0_OFS<5:0>**: 输入失调电压调整位
000000-11_1111 调整范围为-15.5~16 step 为 0.5mv

OPA1_CAL 运放 1 校准寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00_0000					
OPDA1OFM<1:0>		OPA1_OFS<5:0>					

Bit7-6 **OPDA1OFM<1:0>**: OPA1 校准模式使能

- 11: 反相输入端校准模式
- 10: 同相输入端校准模式
- 0x: 正常模式

Bit5-0 **OPA1_OFS<5:0>**: 输入失调电压调整位
000000-11_1111 调整范围为-15.5~16 step 为 0.5mv

ACP_CAL0 比较器校准寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-00		RW-00_0000					
ACPOFM<1:0>		ACP_OFSP<5:0>					

Bit7-6 **ACPOFM<1:0>**: ACP 校准模式使能

- 11: 反相端输入校准模式
- 10: 同相端输入校准模式
- 0x: 正常模式

Bit5-0 **ACP_OFSP<5:0>**: 输入失调电压调整位
校准前, 先将 ACPOFM<1:0> = 11, 使能 DAC_D<7:0> = 1000_0000 使得 DAC 输出 VDD/2。
10_0000-01_1111 调整范围为 step 为 0.5mv。校准说明如下:
情况 1: 当 ACP_OFSP 设置为 00_0000 时, 如果模拟比较器输出为 1, ACP_OFSP[5]=0, ACP_OFSP[4:0]累加, 直到比较器输出 0;
情况 2: 当 ACP_OFSP 设置为 00_0000 时, 如果模拟比较器输出为 0, ACP_OFSP[5]=1, ACP_OFSP[4:0]累加, 直到比较器输出 1;
记录翻转的值, ACP_OFSP[5:0]为有效校准值。

ACP_CAL1 比较器校准寄存器

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	RW-00_0000					
—	—	ACP_OFSN<5:0>					

Bit7-6 保留

Bit5-0 **ACP_OFSN<5:0>**: 输入失调电压调整位(校准 VDD 段)

校准前, 先将 ACPOFM<1:0> = 11, 使能 DAC, 并将 DAC_D<7:0> = 1111_1111 使得 DAC 输出 VDD。

10_0000-01_1111 调整范围为 step 为 0.5mv。校准说明如下:

情况 1: 当 ACP_OFSN 设置为 00_0000 时, 如果模拟比较器输出为 1, ACP_OFSN[5]=0, ACP_OFSN[4:0]累加, 直到比较器输出 0;

情况 2: 当 ACP_OFSN 设置为 00_0000 时, 如果模拟比较器输出为 0, ACP_OFSN[5]=1, ACP_OFSN[4:0]累加, 直到比较器输出 1;

记录翻转的值, ACP_OFSN[5:0]为有效校准值。

AN_IE 模拟中断使能寄存器(与 LVD, ADC 寄存器地址复用, 可触发 INT4)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	—
—	—	—	—	—	—	ACP_IE	—

Bit7-2 保留

Bit1 **ACP_IE**: 模拟比较器中断使能位

1: 使能

0: 禁止

Bit0 保留

AN_IF 模拟中断标志寄存器 (与 LVD,ADC 寄存器地址复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	—	RW-0	—
—	—	—	—	—	—	ACP_IF	—

Bit7-2 保留

Bit1 **ACP_IF**: 模拟比较器中断标志位

1: 有 ACP 中断请求

0: 无 ACP 中断请求

Bit0 保留

23 内部参考电压 VREF

23.1 描述

芯片内置高精度参考电压模块 VREF，出厂校准精度 $< \pm 1.5\%$ 。

VREF 模块用于 ADC 的内部参考电压，当 ADC 选择 VREF 作为参考时，需预先通过 VREF_C 寄存器使能 VREF 模块，不使用 VREF 时需将模块关闭，以节省电流消耗。

23.2 VREF 寄存器

VREF_C **VREF 配置寄存器**

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	—	—	—	—	—
VREF_EN	DIV4_EN	ACP_LDO_EN	—	—	—	—	—

Bit7	VREF_EN : VREF 使能 1: 使能内部参考电压 0: 关闭 VREF 模块
Bit6	DIV4_EN : VDD 四分之一分压使能 1: 使能 0: 关闭
Bit5	ACP_LDO_EN : 人体感应模块比较器电压使能 1: 使能 0: 关闭
Bit4-0	保留

24 低电压检测 LVD

24.1 描述

芯片内置低电压检测模块 LVD。

该模块用于监测 VDD 电压，也可用于对 LVDIN 复用端口输入电压进行监测检测值为 0.5V。

24.2 LVD 寄存器

LVD_C0 LVD 控制寄存器 0

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-000		
LVD_EN	LVD_IM	LVD_FLT	LVD_CKS	LVD_INS	LVD_VS<2:0>		

Bit7 **LVD_EN**: LVD 使能位

- 1: 使能
- 0: 关闭

Bit6 **LVD_IM**: LVD 中断模式选择位

- 1: 被监测电压由高于比较阈值产生 LVD 中断
- 0: 被监测电压由低于比较阈值产生 LVD 中断

Bit5 **LVD_FLT**: LVD 滤波选择位

- 1: 7 个 LVD 工作时钟
- 0: 关闭滤波器

Bit4 **LVD_CKS**: LVD 工作时钟选择位

- 1: 内部低频时钟 LRC
- 0: 系统时钟 SYS_CLK

Bit3 **LVD_INS**: 被监测电压选择位

- 1: LVDIN 复用管脚 (比较阈值电压固定为 0.5V)
- 0: VDD

Bit2-0 **LVD_VS<2:0>**: 阈值电压选择位 (仅用于监测 VDD)

- | | | | |
|-----------|-----------|-----------|-----------|
| 111: 4.6V | 110: 4.2V | 101: 3.8V | 100: 3.4V |
| 011: 3.0V | 010: 2.6V | 001: 2.2V | 000: 1.8V |

AN_IE 模拟中断使能寄存器(与 ADC 寄存器地址复用, 可触发 INT6)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0	—	—
—	—	—	—	—	LVD_IE	—	—

Bit7-3 保留

Bit2 **LVD_IE**: LVD 中断使能位

- 1: 使能
- 0: 禁止

Bit1-0 保留

AN_IF 模拟中断标志寄存器 (与 ADC 寄存器地址复用, 支持位操作)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
—	—	—	—	—	RW-0		—
—	—	—	—	—	LVD_IF		—

Bit7-3 保留

Bit2 **LVD_IF**: LVD 中断标志位

1: 有 LVD 中断请求

0: 无 LVD 中断请求

Bit1-0 保留

25 指令集

25.1 算术运算指令

指令		描述	字节	周期
ADD	A, Rn	$A = A + Rn$	1	1
ADD	A, direct	$A = A + [direct]$	2	2
ADD	A, @Ri	$A = A + [Ri]$	1	2
ADD	A, #data	$A = A + data$	2	2
ADDC	A, Rn	$A = A + Rn + C$	1	1
ADDC	A, direct	$A = A + [direct] + C$	2	2
ADDC	A, @Ri	$A = A + [Ri] + C$	1	2
ADDC	A, #data	$A = A + data + C$	2	2
SUBB	A, Rn	$A = A - Rn - C$	1	1
SUBB	A, direct	$A = A - [direct] - C$	2	2
SUBB	A, @Ri	$A = A - [Ri] - C$	1	2
SUBB	A, #data	$A = A - data - C$	2	2
INC	A	$A = A + 1$	1	1
INC	Rn	$Rn = Rn + 1$	1	2
INC	direct	$[direct] = [direct] + 1$	2	3
INC	@Ri	$[Ri] = [Ri] + 1$	1	3
DEC	A	$A = A - 1$	1	1
DEC	Rn	$Rn = Rn - 1$	1	2
DEC	direct	$[direct] = [direct] - 1$	2	3
DEC	@Ri	$[Ri] = [Ri] - 1$	1	3
INC	DPTR	$DPTR = DPTR + 1$	1	4
MUL	AB	$B:A = B \times A$	1	11
DIV	AB	$A = \text{Int}[A/B]; B = \text{Mod}[A/B]$	1	11
DA	A	十进制调整	1	1

25.2 逻辑操作指令

指令	描述	字节	周期
ANL	A, Rn	$A = A \text{ and } Rn$	1
ANL	A, direct	$A = A \text{ and } [direct]$	2
ANL	A, @Ri	$A = A \text{ and } [Ri]$	1
ANL	A, #data	$A = A \text{ and } data$	2
ANL	direct, A	$[direct] = [direct] \text{ and } A$	2
ANL	direct, #data	$[direct] = [direct] \text{ and } data$	3
ORL	A, Rn	$A = A \text{ or } Rn$	1
ORL	A, direct	$A = A \text{ or } [direct]$	2
ORL	A, @Ri	$A = A \text{ or } [Ri]$	1
ORL	A, #data	$A = A \text{ or } data$	2
ORL	direct, A	$[direct] = [direct] \text{ or } A$	2
ORL	direct, #data	$[direct] = [direct] \text{ or } data$	3
XRL	A, Rn	$A = A \text{ xor } Rn$	1
XRL	A, direct	$A = A \text{ xor } [direct]$	2
XRL	A, @Ri	$A = A \text{ xor } [Ri]$	1
XRL	A, #data	$A = A \text{ xor } data$	2
XRL	direct, A	$[direct] = [direct] \text{ xor } A$	2
XRL	direct, #data	$[direct] = [direct] \text{ xor } data$	3
CLR	A	$A = 00H$	1
CPL	A	$A = \text{not } A$	1
RL	A	$A<7:0> = \{A<6:0>, A<7>\}$	1
RLC	A	$\{C, A<7:0>\} = \{A<7:0>, C\}$	1
RR	A	$A<7:0> = \{A<0>, A<7:1>\}$	1
RRC	A	$\{C, A<7:0>\} = \{A<0>, C, A<7:1>\}$	1
SWAP	A	$A<7:0> = \{A<3:0>, A<7:4>\}$	1

25.3 数据传送指令

指令		描述	字节	周期
MOV	A, Rn	A = Rn	1	1
MOV	A, direct	A = [direct]	2	2
MOV	A, @Ri	A = [Ri]	1	2
MOV	A, #data	A = data	2	2
MOV	Rn, A	Rn = A	1	2
MOV	Rn, direct	Rn = [direct]	2	3
MOV	Rn, #data	Rn = data	2	2
MOV	direct, A	[direct] = A	2	2
MOV	direct, Rn	[direct] = Rn	2	2
MOV	direct1, direct2	[direct1] = [direct2]	3	3
MOV	direct, @Ri	[direct] = [Ri]	2	3
MOV	direct, #data	[direct] = data	3	3
MOV	@Ri, A	[Ri] = A	1	2
MOV	@Ri, direct	[Ri] = [direct]	2	3
MOV	@Ri, #data	[Ri] = data	2	2
MOV	DPTR, #data 16	DPTR = data(16-bit)	3	3
MOVC	A, @A+DPTR	A = [A+DPTR](程序代码)	1	7
MOVC	A, @A+PC	A = [A+PC](程序代码)	1	8
MOVX	A, @Ri	A = [Ri](核外 RAM)	1	5
MOVX	A, @DPTR	A = [DPTR](核外 RAM)	1	6
MOVX	@Ri, A	[Ri](核外 RAM) = A	1	4
MOVX	@DPTR, A	[DPTR](核外 RAM) = A	1	5
PUSH	direct	SP=SP+1, [SP] = [direct]	2	5
POP	direct	[direct] = [SP], SP = SP-1	2	5
XCH	A, Rn	A ↔ Rn	1	3
XCH	A, direct	A ↔ [direct]	2	4
XCH	A, @Ri	A ↔ [Ri]	1	4
XCHD	A, @Ri	A<3:0> ↔ [Ri]<3:0>	1	4

25.4 位操作指令

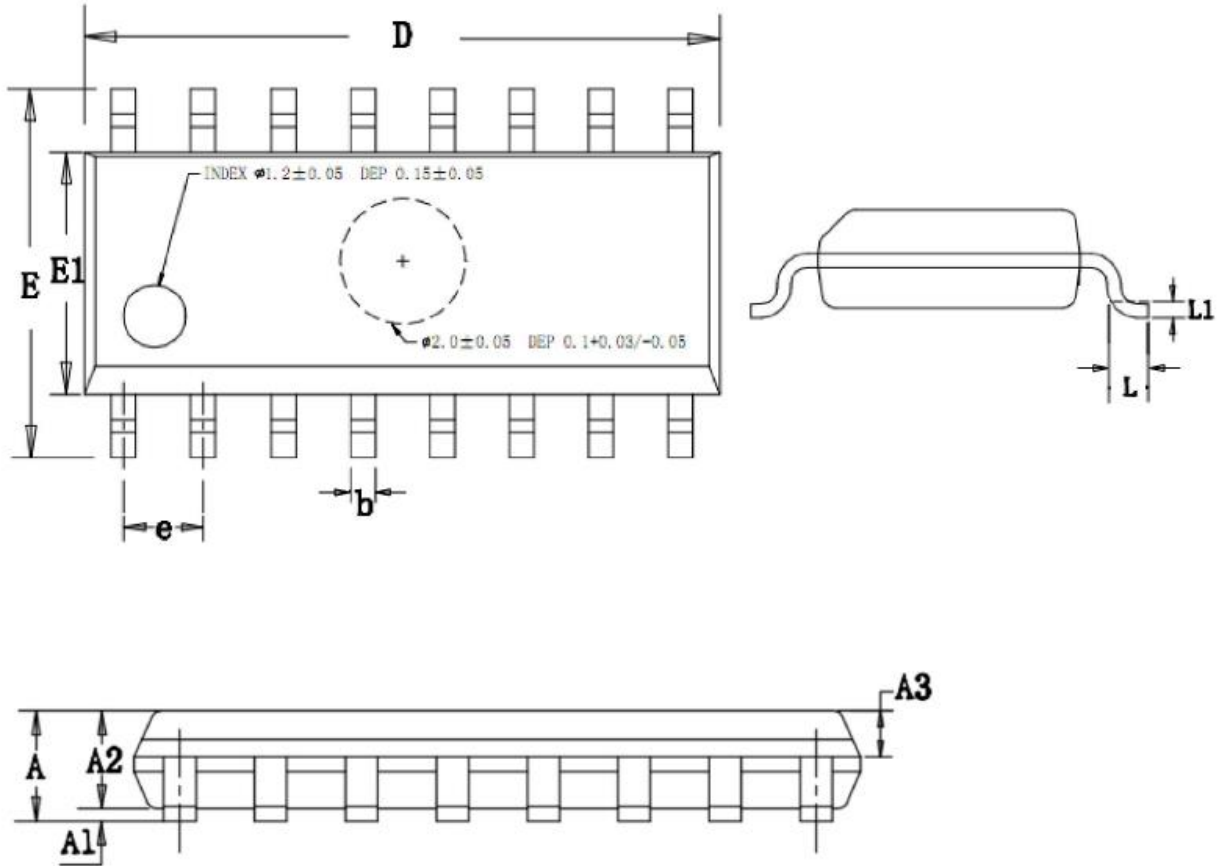
指令		描述	字节	周期
CLR	C	C = 0	1	1
CLR	bit	bit = 0	2	3
SETB	C	C = 1	1	1
SETB	bit	bit = 1	2	3
CPL	C	C = not C	1	1
CPL	bit	bit = not bit	2	3
ANL	C, bit	C = C and bit	2	2
ANL	C, /bit	bit = C and (not bit)	2	2
ORL	C, bit	C = C or bit	2	2
ORL	C, /bit	bit = C or (not bit)	2	2
MOV	C, bit	C = bit	2	2
MOV	bit, C	bit = C	2	3

25.5 程序转移指令

指令		描述	字节	周期
ACALL	addr11	2K 空间子程序调用	2	7
LCALL	addr16	64K 空间子程序调用	3	7
RET		调用程序返回	1	8
RETI		中断返回	1	8
AJMP	addr11	2K 空间程序跳转	2	4
LJMP	addr16	64K 空间程序跳转	3	5
SJMP	rel	相对短跳转	2	4
JMP	@A+DPTR	相对长跳转	1	6
JZ	rel	相对短跳转(如果 A=0)	2	3/5
JNZ	rel	相对短跳转(如果 A≠0)	2	3/5
JC	rel	相对短跳转(如果 C=1)	2	2/4
JNC	rel	相对短跳转(如果 C=0)	2	2/4
JB	bit, rel	相对短跳转(如果 bit=1)	3	4/6
JNB	bit, rel	相对短跳转(如果 bit=0)	3	4/6
JBC	bit, rel	相对短跳转(如果 bit=1), bit = 0	3	4/6
CJNE	A, direct, rel	相对短跳转(如果 A≠[direct])	3	4/6
CJNE	A, #data, rel	相对短跳转(如果 A≠data)	3	4/6
CJNE	Rn, #data, rel	相对短跳转(如果 Rn≠data)	3	4/6
CJNE	#Ri, #data, rel	相对短跳转(如果[Ri]≠data)	3	4/6
DJNZ	Rn, rel	Rn=Rn-1, 相对短跳转(如果 Rn≠0)	2	3/5
DJNZ	direct, rel	[direct]=[direct]-1, 相对短跳转(如果[direct]≠0)	2	3/5
NOP		空操作	1	1

26 封装信息

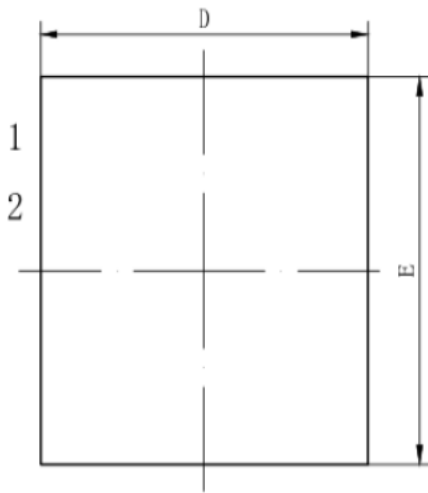
SOP16



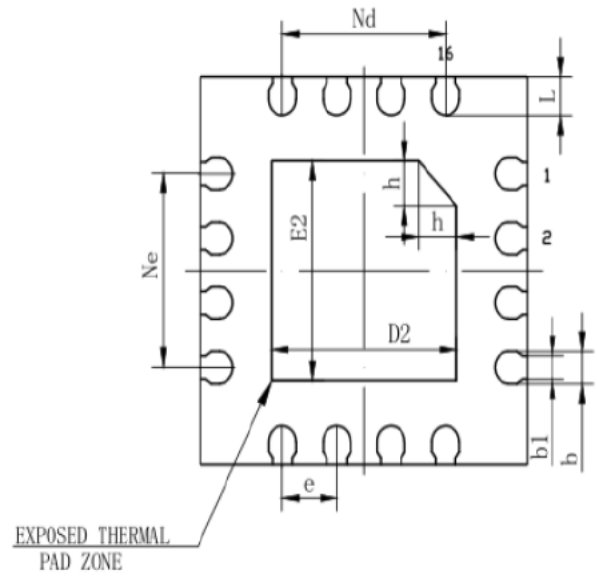
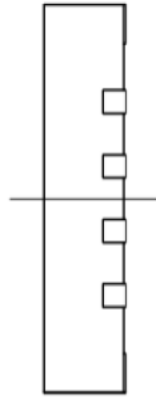
单位: mm

	MIN	NOM	MAX
A	—	—	1.700
A1(站高)	0.100	0.150	0.200
A2(厚度)	1.300	1.400	1.500
A3	0.600	0.650	0.700
b	0.370	0.400	0.420
e(脚间距)	1.240	1.270	1.300
D(长度)	9.800	9.900	10.00
E(跨度)	5.800	6.000	6.200
E1(宽度)	3.800	3.900	4.000
L(脚长)	0.500	0.600	0.700
L1	—	0.25BSC	—

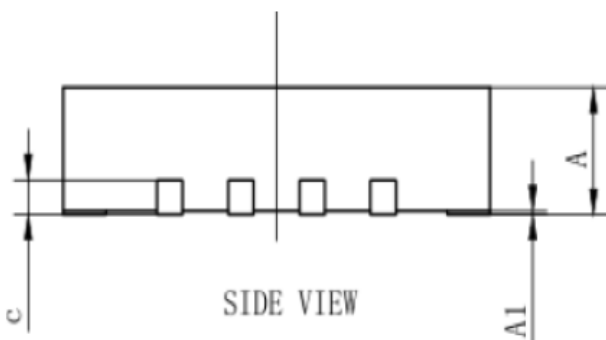
QFN16



TOP VIEW



BOTTOM VIEW



SIDE VIEW

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.18	0.25	0.30
b1	0.18REF		
c	0.203REF		
D	2.90	3.00	3.10
D2	1.60	1.70	1.80
e	0.50BSC		
Ne	1.50BSC		
Nd	1.50BSC		
E	2.90	3.00	3.10
E2	1.60	1.70	1.80
L	0.25	0.30	0.35
h	0.30	0.35	0.40

27 版本修订记录

版本号	修订日期	修订内容
V07	2024-02-20	增加 SOFT_BOR bit7 SOFT_BOR_SW 开关位
V08	2024-04-02	整体修定文档错漏, 增加封装信息